

ELEMENTY LOGICZNE

W urządzeniach cyfrowych powszechnie jest stosowany binarny, (czyli dysponujący dwiema cyframi) system prezentacji informacji. W cyfrowych maszynach elektronicznych dwu cyfrom 0 i 1 odpowiadają dwa rozłączne przedziały napięć. Wartości krańców przedziałów napięć odpowiadających cyfrom mogą być różne; zależy to od przyjętego systemu.

Urządzenia cyfrowe są budowane z rozmaitych obiektów. Jedne spełniają proste funkcje logiczne, inne realizują funkcje bardziej złożone. Zapoznamy się tutaj z obiektami spełniającymi funkcje najprostsze. Obiekty te nazwalimy „elementami logicznymi”. Często określa się je słowem „bramki”, choć nie wszystkie są bramkami w ścisłym znaczeniu tego słowa.

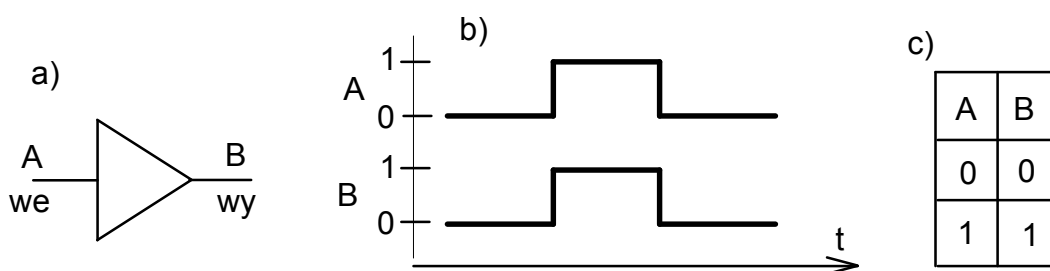
W cyfrowych układach scalonych typu TTL (TRANSISTOR TRANSISTOR LOGIC) cyfrze 0 odpowiada zakres napięć od $-0,5V$ do $+0,8V$, cyfrze 1 odpowiada zakres napięć od $+2V$ do $+5,5V$. Tak więc, gdy na przewodzie wychodzącym z układu TTL istnieje potencjał o wartości np. $+3V$, to zapewne przewodem tym jest przesyłana cyfra 1. Jeśli potencjał innego przewodu wynosi np. $+0,1V$, to zapewne przewodem tym jest przesyłana cyfra 0. Potencjał danego przewodu mierzymy względem masy, której potencjał przyjmujemy za zerowy. W układach TTL masą jest wyprowadzenie, do którego przyłączamy ujemny biegun źródła zasilania; na schematach zawierających układy TTL jest on oznaczany symbolem masy, zera albo „ziemi”. Należy dodać, że to, któremu przedziałowi napięć odpowiada dana cyfra, zależy od umowy.

Jeśli potencjały wejść elementu logicznego znajdują się w przedziałach wartości właściwych dla cyfr 0 i 1, to potencjał wyjścia musi także znajdować się w przedziale wartości właściwej dla którejś z cyfr. Jest to ważny wymóg, który musi spełniać każdy element. Z tego wymogu wynikają konkretne rozwiązania budowy elementów logicznych. Każdy element logiczny praktycznie jest wzmacniaczem napięcia, posiadającym jedno lub więcej wejść oraz jedno wyjście. Wzmacniacz taki pracuje prawie cały czas w warunkach przesterowania; jest "przerzucany" od jednego stanu przesterowania do drugiego w momencie, gdy zmienia się stan logiczny na wyjściu.

Elementy logiczne łączymy ze sobą bezpośrednio: wyjście jednego elementu łączymy z wejściem elementu następnego (albo i tego samego) bez użycia kondensatorów. Często jedno wyjście łączymy z kilkoma wejściami. Dla każdego elementu jest podawana przez wytwórcę dopuszczalna obciążalność wyjścia, którą jest liczba określająca, ile typowych wejść może być przyłączonych do danego wyjścia.

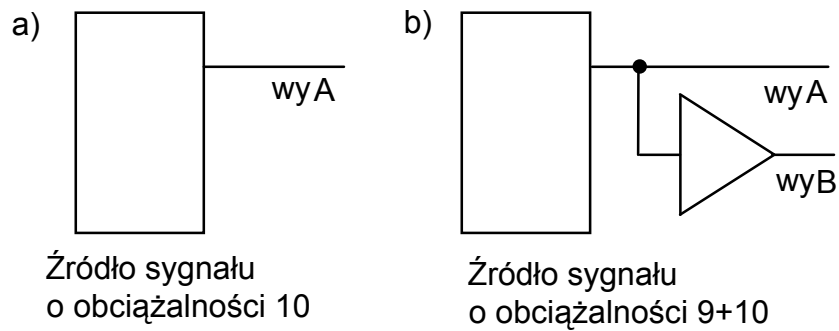
Łącząc ze sobą wiele elementów logicznych, możemy tworzyć układy złożone, posiadające wiele wejść i wyjść, spełniające rozmaite funkcje. Jednak nie wszystkie układy wchodzące w skład maszyn cyfrowych dadzą się zbudować z elementów logicznych tutaj opisanych.

Najprostszym „logicznie” elementem jest wzmacniacz cyfrowy, zwany także wzmacniaczem logicznym. Posiada on jedno wejście (we) i jedno wyjście (wy). Rysunek 1 przedstawia symbol tego elementu, wykresy oraz tabelkę, wyjaśniające działanie.



Rys. 1. Symbol wzmacniacza cyfrowego (rys. a), wykresy przebiegu stanów logicznych w czasie na jego wejściu i wyjściu (rys.b) oraz tablica funkcji realizowanej przez ten element (rys. c).

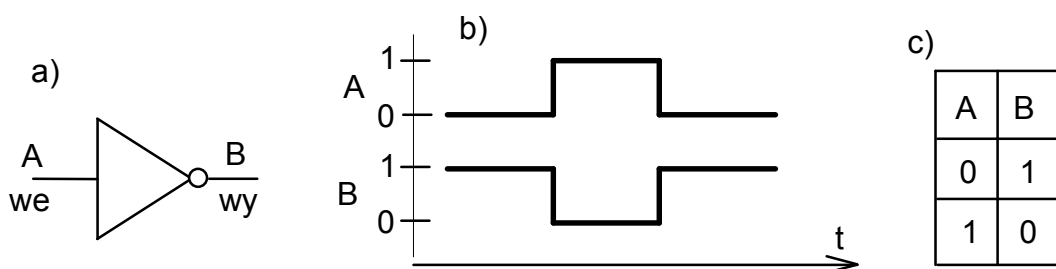
Niech A oznacza stan logiczny wejścia, B - stan logiczny wyjścia. Wzmacniacz cyfrowy realizuje następującą funkcję logiczną: $B=A$. Oznacza to, że jeśli na wejściu istnieje stan logiczny 1, to na wyjściu także istnieje stan logiczny 1; jeśli na wejściu istnieje stan logiczny 0, to na wyjściu także istnieje stan logiczny 0. „Logicznie” element ten nie wnosi zmian. Stosuje się go, gdy istnieje potrzeba wprowadzenia sygnału cyfrowego na wiele wejść elementów logicznych, lecz ilość tych wejść przekracza obciążalność źródła sygnału. Wtedy, dołączając jeden wzmacniacz cyfrowy, uzyskujemy źródło sygnału o obciążalności większej o 9, a to dlatego, że obciążalność typowego wyjścia bramki TTL (serii standardowej) wynosi 10. Na rysunku 2 została wyjaśniona zasada tworzenia źródła sygnału o większej obciążalności.



Rys. 2. Przykład wykorzystania wzmacniacza cyfrowego.

Na rysunku 2a mamy źródło sygnału cyfrowego, którego wyjście A posiada obciążalność wynoszącą 10. Rysunek 2b przedstawia źródło sygnału cyfrowego o wypadkowej obciążalności wynoszącej 19: wyjście A może być obciążone teraz dziewięcioma typowymi wejściami, wyjście B - dziesięcioma.

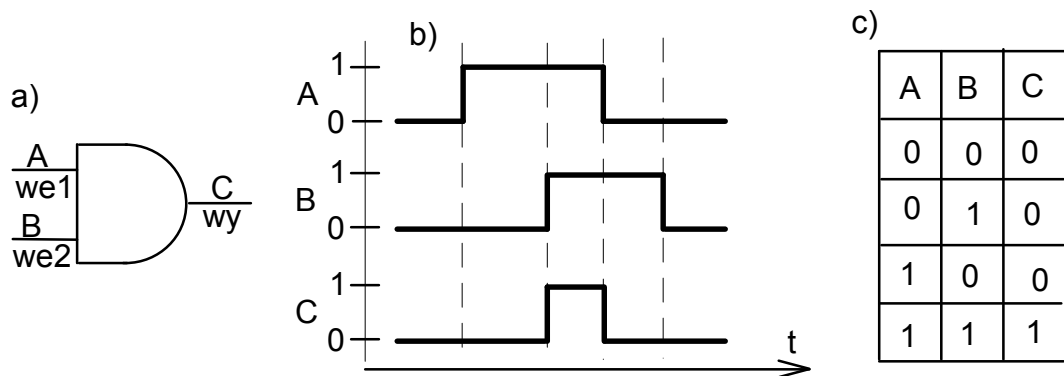
Na rysunku 3 został pokazany symbol elementu spełniającego negację logiczną. Element ten realizuje funkcję: $B = \bar{A}$. Gdy na wejściu tego elementu istnieje stan logiczny 1, to na wyjściu istnieje stan logiczny 0; gdy na wejściu istnieje stan logiczny 0, to na wyjściu istnieje stan logiczny 1. Element ten nazywa się "zaprzeczeniem logicznym". Zwykle dla elementu i realizowanej przez niego funkcji używa się nazwy krótszej NIE (inaczej NOT). Kółeczko przy wyjściu na schemacie (rys.3a) oraz pozioma kreska nad literą A w podanym wzorze oznaczają zmianę stanu, czyli zaprzeczenie.



Rys. 3. Symbol elementu NIE (rys. a), wykresy przebiegu stanów logicznych na jego wejściu i wyjściu (rys.b) oraz tablica funkcji realizowanej przez ten element (rys. c).

Rysunek 4 przedstawia symbol elementu realizującego iloczyn logiczny. Gdy na wszystkich jego wejściach występuje stan logiczny 1, to na wyjściu także istnieje także stan logiczny 1. W pozostałych (trzech) przypadkach na wyjściu istnieje stan logiczny 0. Funkcję realizowaną

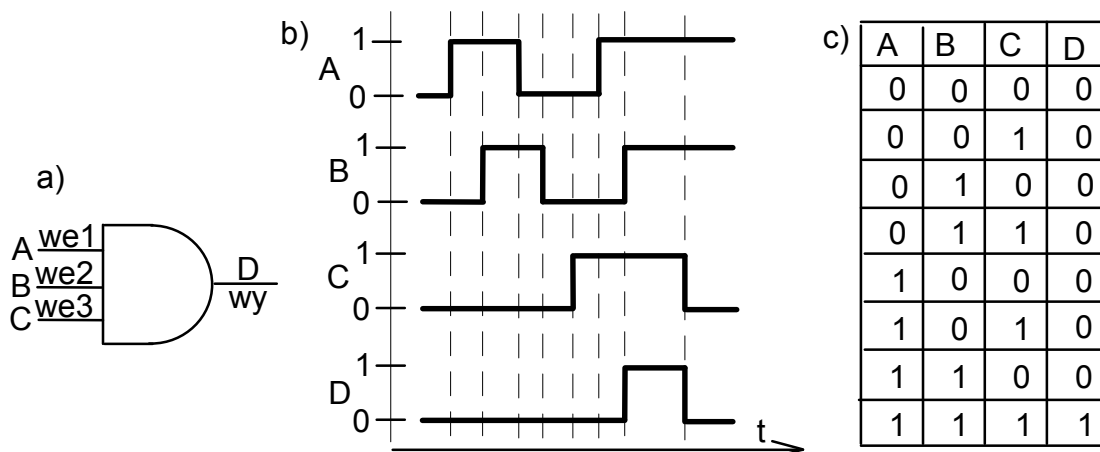
przez ten element (dla oznaczeń zastosowanych na rys. 4) przedstawiamy następująco: $C=A \cdot B$. Element ten jest dwuwejściową bramką logiczną.



Rys. 4. Symbol dwuwejściowej bramki I, wykresy przebiegów stanów logicznych na jej wejściach i wyjściu (rys.b) oraz tablica realizowanej funkcji (rys. c).

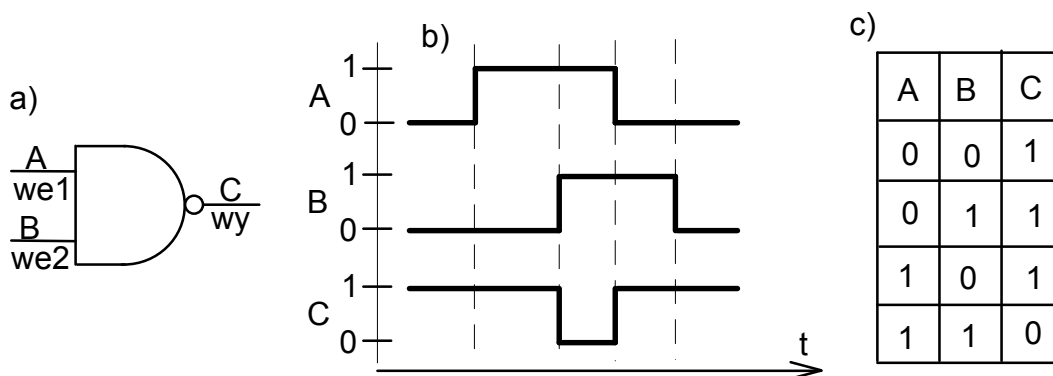
Jeśli np. na wejściu A istnieje stan logiczny 1, to sygnał cyfrowy występujący na wejściu B przedostaje się na wyjście elementu; jeśli na wejściu A istnieje stan logiczny 0, to sygnał cyfrowy z wejścia B nie przedostaje się na wyjście; na wyjściu jest wtedy cały czas stan logiczny 0. Element ten (podobnie jak i realizowana przez niego funkcja) jest nazywany elementem lub bramką I (inaczej AND).

Istnieją bramki I o ilości wejść większej od 2. Rys. 5 przedstawia symbol bramki I posiadającej 3 wejścia. Bramka ta realizuje funkcję: $D=A \cdot B \cdot C$. Ogólnie można powiedzieć, że na wyjściu bramki I istnieje stan logiczny 1 tylko wtedy, gdy na wszystkich jej wejściach istnieje stan logiczny 1.



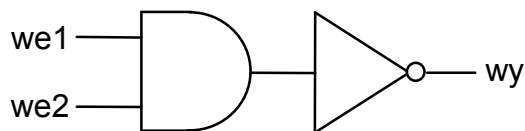
Rys. 5. Symbol trójwejściowej bramki I, wykresy przebiegów stanów logicznych na jej wejściach i wyjściu (rys.b) oraz tablica realizowanej funkcji (rys. c).

Rysunek 6 przedstawia symbol dwuwejściowej bramki NIE-I (zwaną także bramką NAND), wykresy i tabelkę, ilustrujące jej działanie. Bramka ta jest równoważna układowi przedstawionemu na rysunku 7, na



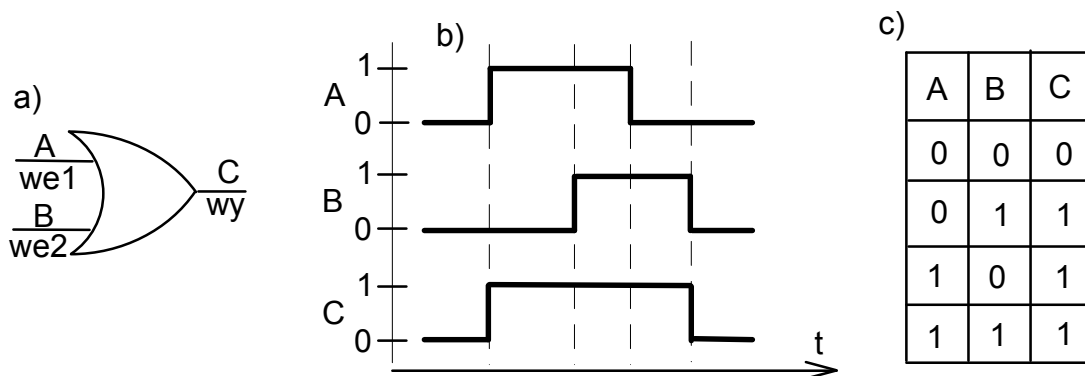
Rys. 6. Symbol dwuwejściowej bramki NIE-I, wykresy przebiegów stanów logicznych na jej wejściach i wyjściu (rys.b) oraz tablica realizowanej funkcji (rys. c).

którym widzimy układ złożony z dwu elementów: elementu I oraz elementu NIE. Funkcja logiczna realizowana przez tę bramkę wyraża się wzorem: $C = \overline{A \cdot B}$. Gdy na wszystkich wejściach bramki NIE-I istnieje stan logiczny 1, to na jej wyjściu istnieje stan 0. W pozostałych przypadkach na wyjściu jest stan 1.



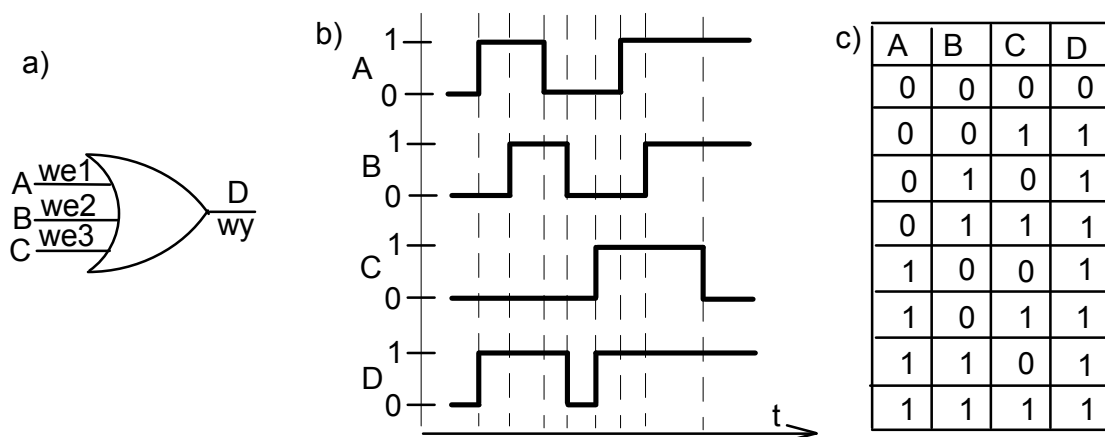
Rys. 7. Układ realizujący funkcję zaprzeczenia iloczynu.

Rysunek 8 przedstawia symbol dwuwejściowej bramki LUB (inaczej OR). Gdy na wszystkich wejściach bramki LUB istnieje stan logiczny 0,



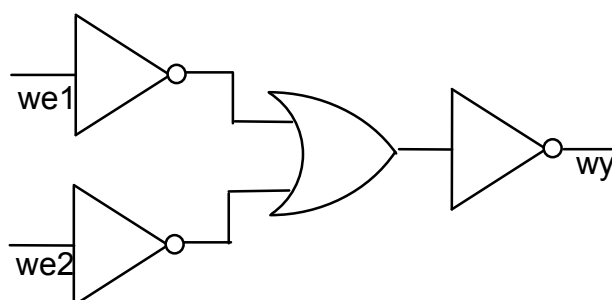
Rys. 8. Symbol dwuwejściowej bramki LUB, wykresy przebiegów stanów logicznych na jej wejściach i wyjściu (rys.b) oraz tablica realizowanej funkcji (rys. c).

to na wyjściu istnieje także stan 0. W pozostałych przypadkach na wyjściu istnieje stan logiczny 1. Funkcję logiczną realizowaną przez dwuwejściową bramkę LUB zapisujemy następująco: $C=A+B$. Dla trójwejściowej bramki LUB (rys.9) wzór ma postać: $D=A+B+C$.



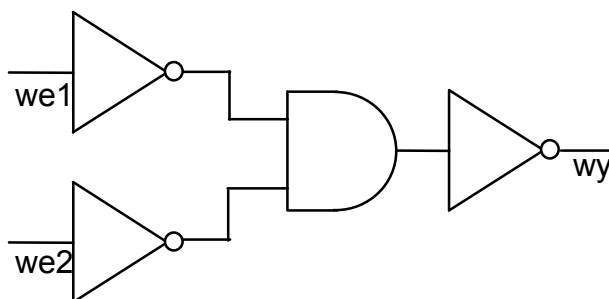
Rys. 9. Symbol trójwejściowej bramki LUB, wykresy przebiegów stanów logicznych na jej wejściach i wyjściu (rys.b) oraz tablica realizowanej funkcji (rys. c).

Funkcja realizowana przez bramkę LUB nazywa się sumą logiczną. Zauważmy, że gdyby dla elementów TTL zmienić umowę w ten sposób, aby zakresowi napięć od -0,5V do +0,8V odpowiadał stan logiczny 1, zaś zakresowi napięć od +2V do +5,5V odpowiadał stan logiczny 0, to bramki LUB stałyby się bramkami I, zaś bramki I stałyby się bramkami LUB. Nie zmieniając umowy, z bramki LUB możemy utworzyć układ realizujący funkcję I, „zaprzeczając” wejścia i wyjścia w bramce. Na rys. 10 został przedstawiony schemat takiego układu.



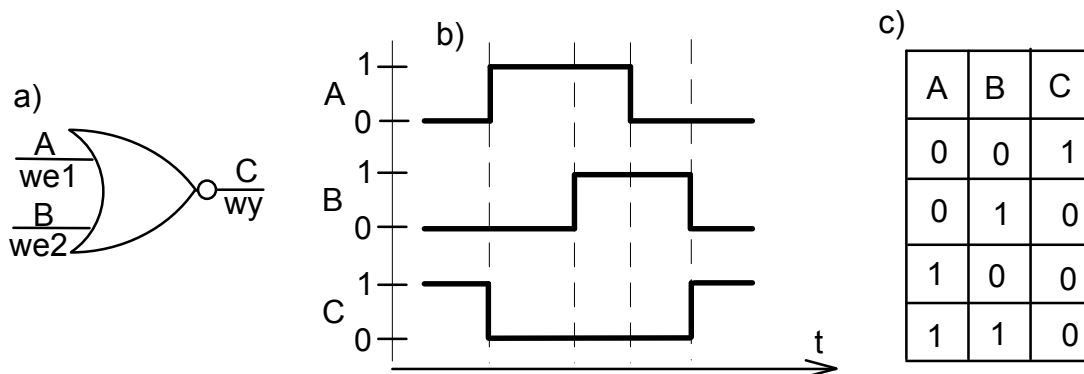
Rys. 10. Układ realizujący funkcję iloczynu logicznego.

„Zaprzeczając” wejścia i wyjścia w bramce I, otrzymujemy układ realizujący funkcję sumy logicznej LUB (rys.11).



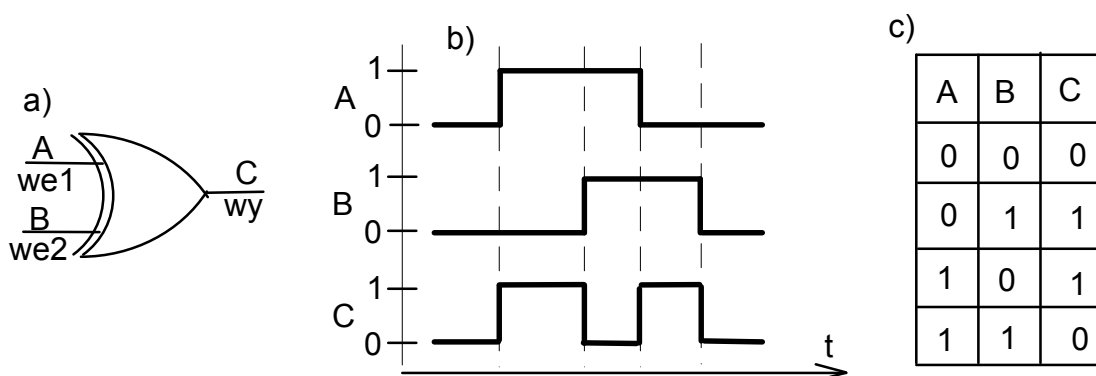
Rys. 11. Układ realizujący funkcję sumy logicznej.

Rysunek 12 przedstawia symbol bramki NIE-LUB, zwanej także bramką NOR (not-or). Bramka ta realizuje funkcję zaprzeczenia sumy. Funkcję tę zapisujemy wzorem: $C = \overline{A+B}$. Gdy na wszystkich wejściach bramki NIE-LUB istnieje stan logiczny 0, to na jej wyjściu istnieje stan logiczny 1. W pozostałych przypadkach na wyjściu istnieje stan 0.



Rys. 12. Symbol dwuwejściowej bramki NIE-LUB, wykresy przebiegów stanów logicznych na jej wejściach i wyjściu (rys.b) oraz tablica realizowanej funkcji (rys. c).

Rysunek 13 przedstawia symbol elementu zwanego dwuwejściową bramką ALBO, inaczej EX-OR (exclusive-or). Funkcja realizowana przez tę bramkę nazywa się różnicą symetryczną lub „sumą modulo 2” i

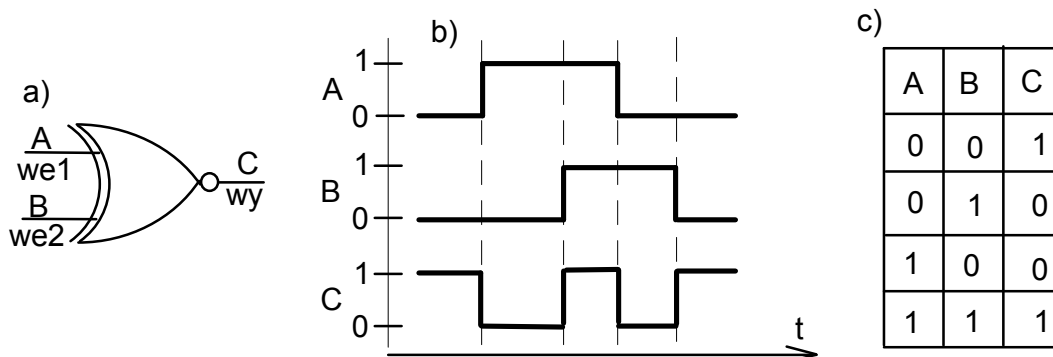


Rys. 13. Symbol dwuwejściowej bramki ALBO, wykresy przebiegów stanów logicznych na jej wejściach i wyjściu (rys.b) oraz tablica realizowanej funkcji (rys. c).

jest zapisywana w postaci wzoru $C=A\oplus B$, przy czym $A\oplus B=A\cdot\bar{B}+B\cdot\bar{A}$. Na wyjściu dwuelementowej bramki ALBO istnieje stan logiczny 1 wtedy, gdy stany logiczne obu wejść różnią się między sobą. Gdy na obu wejściach tej bramki istnieje ten sam stan logiczny, to na wyjściu istnieje stan logiczny 0.

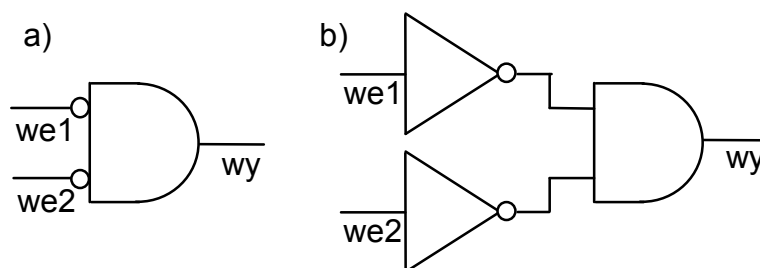
Rysunek 14 przedstawia symbol bramki, realizującej zaprzeczenie różnicy symetrycznej, czyli bramki NIE-ALBO, inaczej EX-NOR (exclusive-nor). Zaprzeczenie różnicy symetrycznej - dla dwu argumentów - jest równoważne funkcji zwanej tożsamością. Funkcję realizowaną przez bramkę NIE-ALBO zapisujemy następująco: $C=A\odot B$. Dla dwu argumen-

tów A i B jest spełnione równanie: $A \odot B = \overline{A \oplus B}$. Na wyjściu bramki NIE-ALBO istnieje stan 1 wtedy, gdy na obu wejściach istnieje ten sam stan. Gdy stany obu wejść różnią się między sobą, to na wyjściu jest stan 0.



Rys. 14. Symbol dwuwejściowej bramki NIE-ALBO, wykresy przebiegów stanów logicznych na jej wejściach i wyjściu (rys.b) oraz tablica realizowanej funkcji (rys. c).

Niektóre wejścia w układach logicznych mogą być „zaprzeczone”. Np. element, którego symbol jest przedstawiony na rys. 15a posiada „zaprzeczone” oba wejścia. Zaprzeczenia zaznaczamy, rysując kółeczka przy wejściach elementu. Element przedstawiony na rys. 15a jest rów-



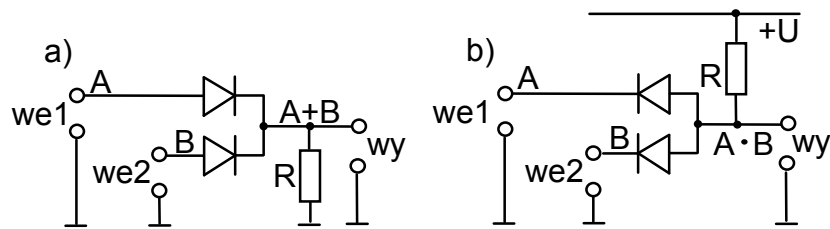
Rys. 15. Element a jest równoważny układowi b.

noważny układowi przedstawionemu na rys.15b. Funkcję realizowaną przez element z rys. 15a zapiszemy w postaci wzoru: $C = \overline{A \cdot B}$.

Przykłady budowy elementów logicznych.

Już przy użyciu tylko diod i oporników można budować układy realizujące funkcje sumy logicznej oraz iloczynu logicznego. Na rys. 16 mamy przykłady takich układów. Zakładamy, że stan 0 jest reprezentowany przez potencjał bliski 0V zaś stan 1 - przez potencjał bliski wartości

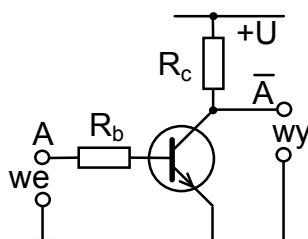
+U, gdzie +U oznacza potencjał dodatni o wartości kilku woltów w stosunku do masy.



Rys 16. Schemat układów realizujących: sumę logiczną (rys. a) oraz iloczyn logiczny (rys.b).

Układy przedstawione na rys. 16 nie spełniają jednak wymogu mówiącego, że jeśli potencjały wejść elementu logicznego znajdują się w przedziałach wartości właściwych dla cyfr 0 i 1, to potencjał wyjścia musi także znajdować się w przedziale wartości właściwym dla którejś z cyfr. Jeśli np. w układzie pokazanym na rys. 16a potencjały obu wejść znajdują się na dolnej granicy przedziału właściwego dla cyfry 1, to z powodu istnienia na przewodzącej diodzie pewnego spadku potencjału, potencjał na wyjściu znajdzie się poniżej dolnej granicy tego przedziału. Niemniej można spotkać takie układy, poprawnie współpracujące np. z bramkami TTL (dzięki pewnemu "marginesowi bezpieczeństwa" zachowanemu w tych bramkach). Jednak próba włączenia kilku takich połączonych szeregowo „bramek” do układu TTL może wypaść niepomyślnie, a to dlatego, że po przejściu przez każdą taką bramkę amplituda sygnału cyfrowego maleje. Można zapobiec osłabianiu amplitudy sygnału, stosując elementy wzmacniające sygnał wychodzący z układu diodowo-opornikowego.

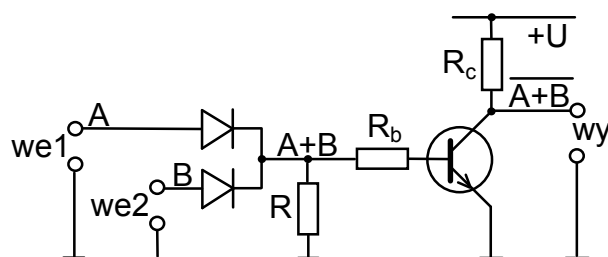
Przy użyciu jednego tranzystora jest możliwe zbudowanie układu realizującego negację logiczną. Rysunek 17 przedstawia schemat takiego układu. Jak widzimy, jest to odwracający wzmacniacz napięcia stałego. Opornik R_B zabezpiecza obwód bazy tranzystora przed przepływem zbyt dużego prądu.



Rys. 17. Schemat układu realizującego zaprzeczenie logiczne.

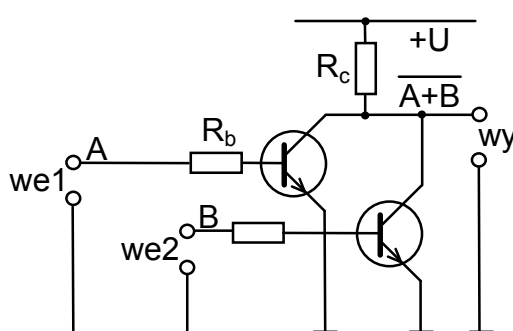
Układ taki, jak przedstawiony na rys. 17, projektuje się tak, by przy jednym stanie logicznym tranzystor był "odcięty" (złącze baza-emiter spolaryzowane zaporowo albo spolaryzowane w kierunku przepustowym niewielkim napięciem, tak że brak przepływu znaczącego prądu kolektora), zaś przy drugim - tranzystor był nasycony (przez kolektor tranzystora płynie maksymalnie duży prąd, o natężeniu praktycznie równym wartości $+U/R_c$). Gdy na wejściu istnieje stan logiczny 0, (zakładamy w dalszym ciągu, że wartościom potencjału niższemu odpowiada zero logiczne, zaś wartościom potencjału wyższemu odpowiada jedynka logiczna) to na wyjściu układu istnieje potencjał $+U$. Gdy na wejściu istnieje stan logiczny 1, to na wyjściu istnieje potencjał bliski $0V$. Z praktyki wiadomo, że w tranzystorze nasyconym napięcie pomiędzy kolektorem a emiterem jest mniejsze od wartości $0,2V$. Dlatego też układ taki będzie działał poprawnie, jeśli napięcie zasilające $+U$ będzie niemniejsze od wartości $1V$. Wtedy można będzie dobrać wartości oporów R_b i R_c tak, by podanie na wejście układu napięcia o wartości $+U$ (jedynek logicznych) wprowadzało tranzystor w stan nasycenia. Podanie na wejście napięcia mniejszego od $+0,2V$ (zero logiczne) nie wprowadzi tranzystora w stan znaczącego przewodzenia (tak jest dla tranzystorów krzemowych).

Łącząc ze sobą układy przedstawione na rys. 16 i 17, otrzymujemy układ realizujący zaprzeczenie sumy logicznej (rys. 18).



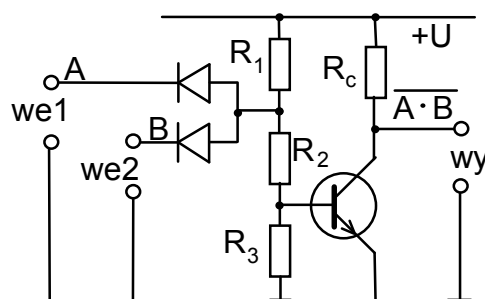
Rys. 18. Schemat układu realizującego zaprzeczenie sumy logicznej.

Rysunek 19 przedstawia schemat dwuwejściowego układu realizującego zaprzeczenie sumy logicznej, zbudowanego tylko z tranzystorów i oporników. W układzie tym oba tranzystory mają wspólny opornik kolektorowy. Obecność stanu logicznego 1 (umawiamy się, że odpowiada mu potencjał o wartości bliskiej $+U$) na jednym z wejść lub na obu wejściach powinna powodować nasycenie - odpowiednio - jednego lub obu tranzystorów, czyli obecność na wyjściu potencjału bliskiego $0V$ (zero logiczne na wyjściu). Obecność na obu wejściach zer logicznych powinna powodować odcięcie tranzystorów, czyli istnienie na wyjściu układu potencjału o wartości $+U$ (jedynek logicznych na wyjściu układu).



Rys. 19. Schemat układu realizującego zaprzeczenie sumy logicznej.

Połączenie bezpośrednio układów przedstawionych na rysunkach 16b i 17 niekoniecznie dałoby pozytywny wynik, gdyż dla stanu 0 na obu wejściach - z powodu spadku potencjału na diodach - potencjał bazy tranzystora mógłby być zbyt wysoki i tranzystor przewodziłby, zamiast być odcięty. Dlatego należałoby zastosować przed tranzystorem dzielnik napięcia. Schemat całego układu mógłby więc być taki, jak na rys. 20.

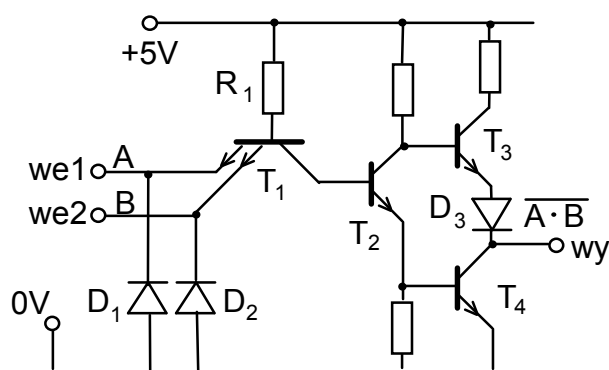


Rys. 20. Schemat układu realizującego zaprzeczenie iloczynu logicznego.

W układach scalonych TTL w skład elementów logicznych wchodzi tranzystory, oporniki i diody. Skrót TTL (transistor-transistor logic)

oznacza, że w układach oznaczonych tym skrótem tranzystory wykorzystane są zarówno do realizacji funkcji logicznych jak i do wzmacniania napięć. Istnieją jeszcze inne grupy układów logicznych, np. grupa DTL, w której funkcje logiczne są realizowane za pomocą diod, zaś elementami wzmacniającymi są tranzystory. Do tej grupy zaliczymy układy przedstawione na rys.18 i 20.

Na rysunku 21 został przedstawiony schemat dwuwejściowej bramki TTL realizującej zaprzeczenie iloczynu logicznego. W układzie scalonym UCY 7400 znajdują się 4 takie bramki. Zasadniczą rolę w reali-



Rys. 21. Schemat dwuwejściowej bramki NIE-1, należącej do grupy elementów TTL.

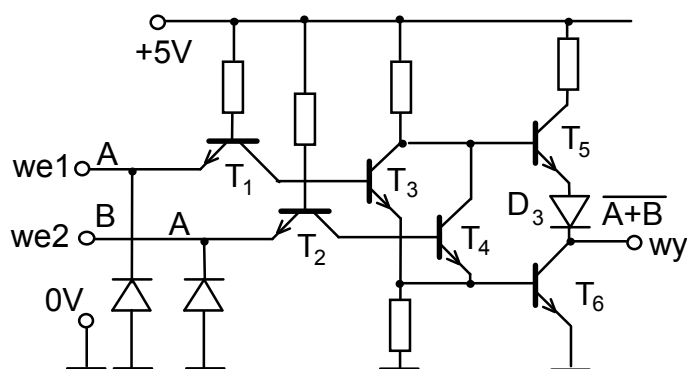
zowaniu funkcji logicznej w tej bramce pełni wieloemiterowy (tutaj dwuemitery) tranzystor T_1 . Jeżeli na obu wejściach są stany logiczne 1, to złącza emiter-baza tranzystora T_1 są spolaryzowane zaporowo. Natomiast złącze baza-kolektor przewodzi prąd, który nasycza tranzystor T_2 . W tych warunkach potencjał na bazie tranzystora T_3 jest na tyle niski, że jest on odcięty (tranzystor T_3 nie przewodzi prądu), zaś potencjał na bazie tranzystora T_4 jest wystarczająco duży, by tranzystor T_4 był nasycony i na wyjściu układu potencjał był bliski 0V. Jeżeli na wejściu np. we1 (lub na obu wejściach) jest stan logiczny 0, to prąd płynący do bazy tranzystora T_1 (lub baz obu tranzystorów T_1 i T_2) jest przez emiter tranzystora T_1 (lub emitery) odprowadzany. Tranzystor T_2 wtedy nie przewodzi. W stopniu końcowym (tranzystory T_3 i T_4) teraz sytuacja jest odwrotna: tranzystor T_3 przewodzi, zaś tranzystor T_4 jest odcięty. Na wyjściu układu jest stan logiczny 1.

Przewciwsobny stopień końcowy układu zapewnia niski opór wyjściowy bramki przy oszczędnym poborze prądu przez ten stopień. Diody D_1 i D_2 zabezpieczają przed wprowadzeniem na emitery tranzystora T_1

ujemnych impulsów o zbyt dużej wartości napięcia, które mogą powstać w wyniku przepływu przez indukcyjności doprowadzeń sygnałów cyfrowych. Dioda D_3 umożliwia prawidłowe funkcjonowanie układu, gdy na wyjściu ma być zero logiczne. Gdyby tej diody nie było, to podczas istnienia stanów 1 na obu wejściach przewodziłby nie tylko tranzystor T_4 (T_4 jest wtedy nasycony), ale przewodziłby także tranzystor T_3 . Jednoczesne przewodzenie obu tranzystorów prowadziłoby do zniszczenia conajmniej jednego z nich. Tranzystor T_3 przewodziłby dlatego, że napięcie pomiędzy kolektorami tranzystorów T_2 i T_4 , które „wysterowuje” tranzystor T_3 , nie byłoby wystarczająco małe, by tranzystor T_3 był odcięty. Dzięki obecności diody D_3 napięcie „sterujące” tranzystor T_3 ma wartość mniejszą o spadek potencjału na diodzie (o ok. 0,6V). W ten sposób dzięki diodzie D_3 napięcie między bazą a emiterem w tranzystorze T_3 jest (przy jedynkach logicznych na obu wejściach) niewystarczające do wprowadzenia tranzystora T_3 w znaczące przewodzenie.

Jeśli w tranzystorze T_1 na rys. 21 byłby tylko jeden emiter, to układ byłby elementem zaprzeczenia logicznego. W praktyce z bramki NIE-I tworzy się element zaprzeczenia logicznego zwierając ze sobą wejścia albo podając na jedno wejście na stałe stan logiczny wysoki.

Rysunek 22 przedstawia schemat dwuwejściowej bramki TTL, realizującej zaprzeczenie sumy logicznej. Wejściowe tranzystory T_1 i T_2 działają podobnie jak tranzystor T_1 w układzie przedstawionym na rys. 21.

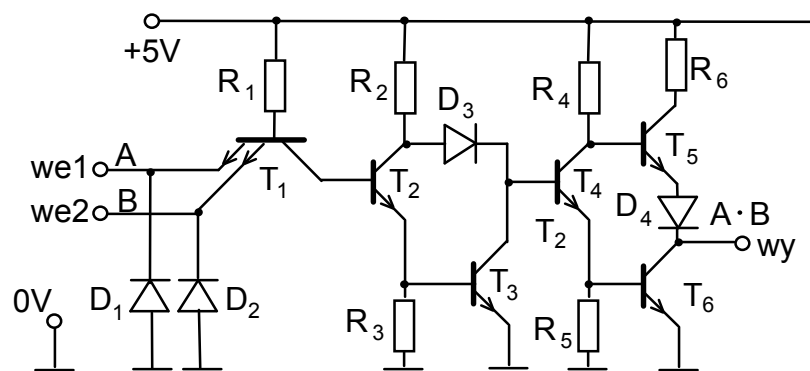


Rys. 22. Schemat dwuwejściowej bramki NIE-LUB, należącej do grupy elementów TTL.

Realizacja funkcji logicznej następuje w zespole tranzystorów T_3 i T_4 , posiadających wspólne oporniki: kolektorowy i emiterowy. Istnienie np. na wejściu 1 (lub na obu wejściach) stanu logicznego 1 powoduje przewodzenie tranzystora T_1 (lub obu tranzystorów T_3 i T_4) a tym samym

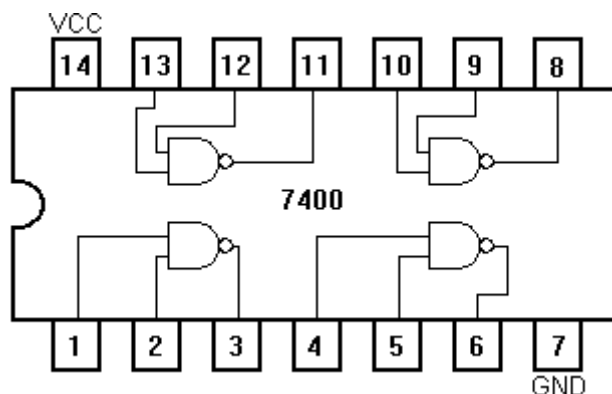
- przewodzenie tranzystora T_6 i odcięcie tranzystora T_5 . Jeżeli na obu wejściach są stany logiczne 0, to tranzystory T_3 i T_4 są odcięte, zaś w stopniu końcowym przewodzi tranzystor T_5 . Tranzystor T_6 jest wtedy odcięty.

W bramkach I oraz w bramkach LUB pomiędzy tranzystorem (lub zespołem tranzystorów) realizującym funkcję logiczną a stopniem wyjściowym istnieje dodatkowy stopień odwracający. Na rys. 23 został pokazany schemat dwuwejściowej bramki realizującej iloczyn logiczny. W skład stopnia odwracającego wchodzi tranzystory T_2 i T_3 , oporniki R_2 i R_3 oraz dioda D_3 .



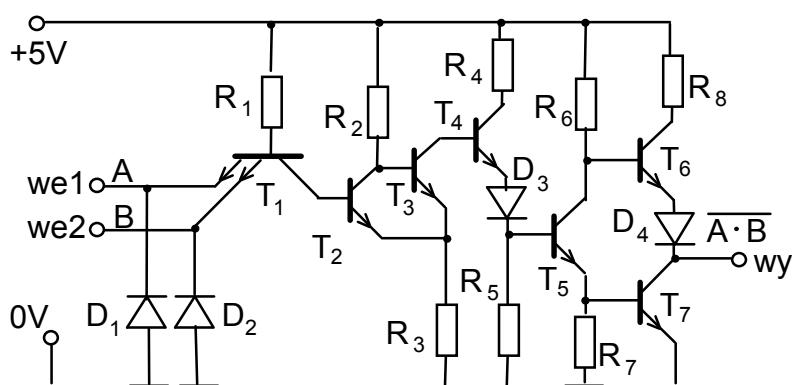
Rys. 23. Schemat dwuwejściowej bramki I, należącej do grupy elementów TTL.

Układy scalone są produkowane w postaci monolitycznych układów, wytwarzanych w płytkach monokryształu krzemu. Rysunek 24 przedstawia schemat logiczny układu scalonego TTL oznaczonego symbolem UCY7400. Schemat logiczny dostarcza informacji o funkcjach logicznych realizowanych przez układ. I tak na rys. 24 widzimy symbole czterech bramek dwuwejściowych NIE-I. Położenie wyprowadzeń wejść, wyjść, "zasilania" (VCC) oraz masy (GND) na rys. 24 odpowiada ściśle położeniu tych wyprowadzeń w rzeczywistym układzie scalonym. Wszystkie 4 bramki posiadają wspólne doprowadzenie zasilania. Wartość napięcia zasilającego układy scalone TTL wynosi 5V. Źródło zasilania przyłącza się do wyprowadzeń: 14 (+5V) oraz 7 (0V). Układy UCY74.. posiadają wyprowadzenia w dwu rzędach. Numeracja wyprowadzeń jest zgodna z rys. 24, jeśli patrzymy na układ "z góry", czyli nie od strony, w którą są skierowane wyprowadzenia układu. Skraj obudowy, przy którym znajdują się wyprowadzenia o numerach 1 i 14 jest oznaczany przez niewielkie wgłębienie w obudowie.



Rys. 24. Schemat logiczny układu scalonego UCY7400.

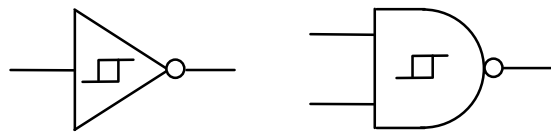
Wiele urządzeń cyfrowych wymaga, aby sygnały cyfrowe podawane na ich wejścia posiadały strome zbocza - o bardzo krótkich czasach trwania, np. rzędu czasu propagacji sygnału cyfrowego przez bramkę. Aby sygnały cyfrowe na wyjściach zwykłych bramek miały takie strome zbocza, sygnały podawane na wejścia tych bramek powinny także posiadać strome zbocza. Aby można było sterować urządzenia cyfrowe sygnałami o zboczach powolnych, skonstruowano elementy logiczne z układem (przerzutnikiem) Schmitta. Rysunek 25 przedstawia bramkę NIE-I z takim układem. Bramka ta jest - jak widać z porównania schematów - bramką przedstawiona na rys. 21, w której pomiędzy pierwszy i drugi tranzystor wstawiono dodatkowy układ złożony z trzech tranzystorów (T_2 , T_3 , T_4), pięciu oporników (R_2 , R_3 , R_4 , R_5) i jednej diody (D_3).



Rys. 25. Schemat dwuwejściowej bramki NIE-I z układem Schmitta.

Tranzystory (na rys.25) T_2 i T_3 z opornikami R_2 i R_3 tworzą przerzutnik Schmitta. Tranzystor T_4 z opornikami R_4 i R_5 oraz z diodą D_3 przesuwają (obniżają) podwyższony przez przerzutnik Schmitta poziom

potencjału, tak aby na bazę tranzystora T₅ były podawane właściwe jego wartości. Istniejące w przerzutniku Schmitta dodatnie stałoprądowe sprzężenie zwrotne powoduje, że na kolektorze tranzystora T₃ napięcie zmienia się "skokowo", dając na wyjściu układu strome zbocza sygnału cyfrowego. Dodatni skok (czyli wzrost) potencjału na kolektorze tranzystora T₃ (odpowiada mu zbocze ujemne na wyjściu układu) zachodzi przy innym (wyższym) potencjale bazy tranzystora T₂, natomiast ujemny skok (spadek) potencjału na kolektorze tranzystora T₃ (odpowiada mu zbocze dodatnie na wyjściu układu) zachodzi przy innym (niższym) potencjale bazy tranzystora T₂. Taka właściwość układu zapobiega dodatkowo generowaniu wielu impulsów przez bramkę, które mogą pojawić się na wyjściu bramki jako wynik wzmocnienia przez nią szumów podczas powolnych zmian napięcia na wejściu bramki. Oczywiście, czas propagacji sygnału dla bramki z układem Schmitta jest większy, niż dla bramki zwykłej. Symbol elementu zawierającego układ Schmitta zawiera znaczek histerezy (rys. 26).



Rys. 26. Przykłady symboli elementów z układem Schmitta.

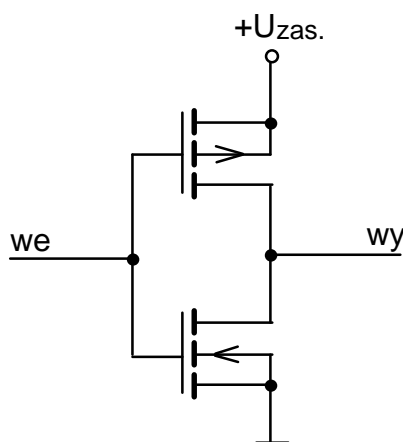
Oprócz typowych układów scalonych TTL tworzących serię standardową istnieją układy scalone zawierające:

- bramki z tzw. wyjściem mocy o obciążeniu wynoszącym 30,
- bramki szybkie (oznaczane dodatkowo literą H, np. UCY74H10), pobierające większy prąd z zasilacza,
- bramki bardzo szybkie (oznaczane dodatkowo literą S), zawierające diody Schottky'ego, z zabezpieczeniem tranzystorów przed nasyceniem,
- bramki małej mocy (oznaczane dodatkowo literą L), pobierające niewielki prąd z zasilacza, ale działające wolniej,
- bramki bardzo szybkie małej mocy (oznaczane dodatkowo zespołem liter LS, np. UCY74LS11), zawierające diody Schottky'ego oraz specjalne rozwiązania,
- układy przeznaczone do pracy w większym zakresie temperatur, zawierające część cyfrową oznaczenia zaczynającą się cyfrą inną, niż 7, (np. UCY6402 - do pracy w zakresie temperatur od -40C do +85C; układy

serii standardowej UCY74.. są przeznaczone do pracy w zakresie temperatur od 0C do +70C).

Oznaczenia równoważnych układów produkowanych za granicą zwykle zawierają taką samą część cyfrową (z literami dotyczącymi szybkości i pobieranego prądu) a inną część literową.

Rozwój technologii układów scalonych zawierających tranzystory polowe z izolowaną bramką doprowadził do stworzenia cyfrowych układów scalonych MOS (Metal Oxide Semiconductor), zawierających tranzystory polowe z izolowaną bramką a następnie do stworzenia cyfrowych układów scalonych CMOS (Complementary MOS; stosuje się też "skrót" COSMOS), pełniących funkcje logiczne podobne do funkcji pełnionych przez układy TTL a zawierających jako podstawowe śladniki układów inwertery, którymi są komplementarne pary tranzystorów polowych z izolowaną bramką (rys. 27). W układzie pokazanym na rys. 27 przy wysokim potencjale na wejściu (gdy wartość jego jest bliska $+U_{zas}$), przewodzi tranzystor dolny a tranzystor górny nie przewodzi, natomiast przy niskim potencjale na wejściu (gdy wartość jego jest bliska zeru), przewodzi tranzystor górny a tranzystor dolny nie przewodzi.



Rys. 27. Komplementarna para tranzystorów polowych z izolowaną bramką jako inwerter.

W układach scalonych z tranzystorami polowymi rolę oporników pełnią także tranzystory polowe. Opory wejściowe tych układów są bardzo duże. Układy z tranzystorami polowymi pobierają niewielkie natężenia prądu z zasilacza. Układy CMOS można zasilac napieciem od 3 do 15V.

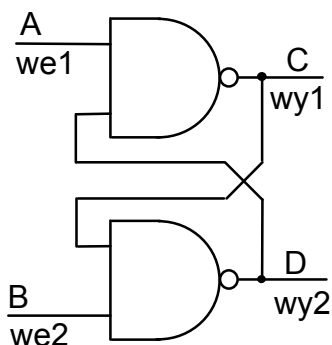
PLAN ĆWICZENIA

Uwaga! We wszystkich - poza dziewiątym - punktach ćwiczenia napięcie zasilania układu scalonego ma wynosić +5V!

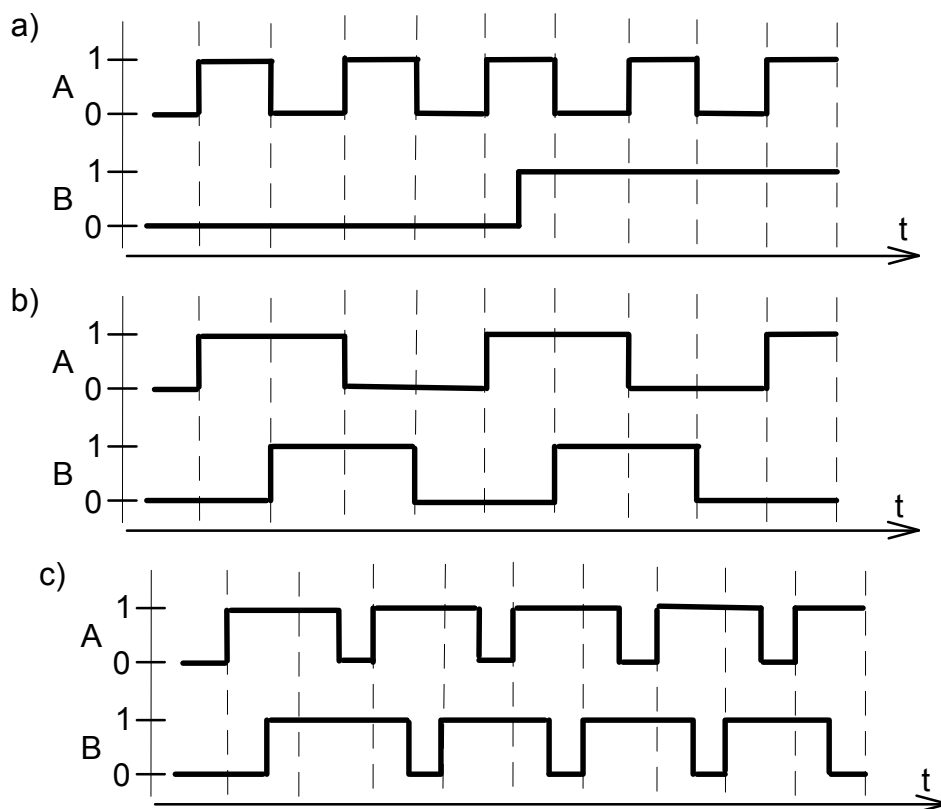
1.
 - a) Zbadać zależność napięcia na wyjściu dwuwęściowej bramki NIE-I od napięcia na jednym z wejść, gdy na drugim wejściu cały czas istnieje stan logiczny 0.
 - b) Zbadać zależność napięcia na wyjściu dwuwęściowej bramki NIE-I od napięcia na jednym z wejść, gdy na drugim wejściu cały czas istnieje stan logiczny 1.

Napięcia mierzymy woltomierzami.

2. Kierując się danymi zawartymi w tabelach przedstawionych na rys. 6 oraz 12, narysować dwuwęściową bramkę NIE-I oraz dwuwęściową bramkę NIE-LUB przekształcone w element zaprzeczenia logicznego (istnieją dwa sposoby przekształcenia obu bramek w element zaprzeczenia). Przedstawić wyniki badań zaprzeczenia logicznego otrzymanego z bramki NIE-I, przeprowadzając stosowne badanie albo - zależy to od sposobu przekształcenia bramki w element zaprzeczenia - powołując się na wyniki otrzymane w podpunkcie b pierwszego punktu ćwiczenia.
3. Przekształcić dwuwęściową bramkę NIE-I albo NIE-LUB w element zaprzeczenia logicznego, określić (wskazać) wejście i wyjście otrzymanego elementu zaprzeczenia. (Jeśli bazujemy na układzie zaprzeczenia uzyskanym w poprzednim punkcie ćwiczenia, odłączyć od wejścia zaprzeczenia jakiegokolwiek źródło napięcia.) Następnie połączyć wyjście zaprzeczenia z jego wejściem i zmierzyć wielkość napięcia na wyjściu. Jak nazwiemy taki stan wyjściowy: a) - wysokim, b) - niskim, c) - pośrednim?
4. Wykorzystując układ scalony UCY7400 (albo jego odpowiednik), zbudować układ przedstawiony na rys. 28. Jest to tzw. przerzutnik RS. Zbadać zależność stanów wyjść przerzutnika RS od następujących po sobie stanów wejść, przedstawionych na rys. 29.



Rys. 28. Przerzutnik RS.



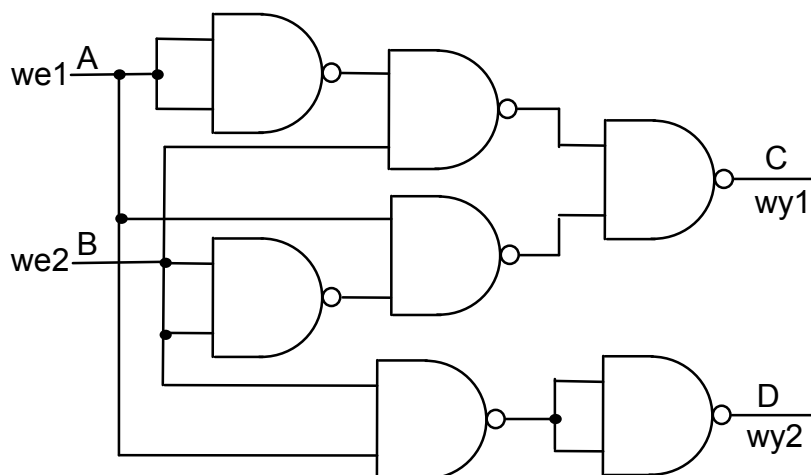
Rys. 29. Przebiegi stanów logicznych w czasie na wejściach A i B przerzutnika RS, pozwalające na zbadanie działania przerzutnika.

Wyniki należy przedstawić w postaci wykresów przebiegów stanów logicznych. Do wejść układu doprowadzamy sygnały ze specjalnego „generatora”, w którym zmian stanów logicznych dokonujemy za pomocą przycisków. Stany logiczne na wyjściach zbudowanego przerzutnika określamy za pomocą diodowego wskaźnika stanów logicznych.

5. Dysponując układem scalonym UCY7400, zbudować układ posiadający dwa wejścia i realizujący funkcję LUB. Sprawdzić działanie układu (stany na wyjściu określamy za pomocą wskaźnika stanów logicznych) Następnie, dysponując układem scalonym UCY7402, zbudować układ

posiadający dwa wejścia i realizujący funkcję I. Wyniki działania układów przedstawić w tabelach. Narysować schematy zbudowanych układów.

6. Zbudować układ przedstawiony na rys. 30. Układ ten jest sumatorem dwu liczb jednopozycyjnych w układzie dwójkowym. Jedno wyjście sumatora możemy określić jako „sumę”, drugie - jako „przeniesienie do wyższej pozycji”. Sprawdzić układ w działaniu i wskazać, które wyjście jest „sumą” a które „przeniesieniem”. Wyniki działania układu (posługujemy się wskaźnikiem stanów logicznych) przedstawić w tabeli.



Rys. 30. Schemat sumatora dwu liczb jednopozycyjnych.

Uwaga:

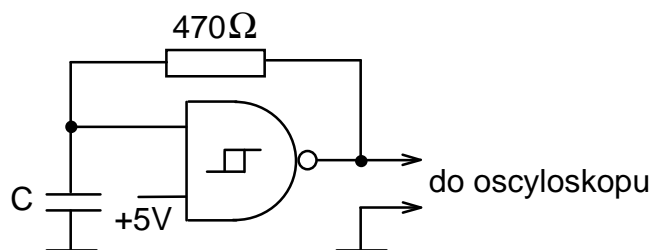
$$\begin{array}{r}
 1 \\
 +1 \\
 \hline
 = 10
 \end{array}$$

↑ "suma"

↑ "przeniesienie do wyższej pozycji"

7. Zbadać zależność napięcia wyjściowego od napięcia wejściowego w elemencie logicznym z układem Schmitta (np. w jednym z elementów zaprzeczenia logicznego znajdującym się w układzie UCY7414). Wyniki - dla zmian napięcia "w obie strony" - przedstawić na wykresie.
8. Wykorzystując układ scalony UCY74132, zbudować generator drgań przedstawiony na rys. 31 (podając "na stałe" na jedno wejście bramki jedynek logiczną, przekształcamy tam element NAND na zaprzeczenie logiczne). Za pomocą oscyloskopu zmierzyć częstość drgań generowanych przez układ dla dwu wartości pojemności C: 470nF i 1μF. (W punkcie tym można by, zamiast bramki NIE-I przekształconej na za-

przeczenie logiczne, zastosować gotowy element zaprzeczenia logicznego z układem Schmitta znajdujący się w układzie scalonym UCY7414.)



Rys. 31. Generator.

9. Z badać zależność napięcia wyjściowego od napięć wejściowych w jednej z bramek zawartych w układzie scalonym CMOS MCY74011 dla dwu napięć zasilających układ: +5V i +12V. Pomiary przeprowadzić podobnie jak w 1 punkcie ćwiczenia.

Sygnal cyfrowy, np. z generatora, doprowadzamy do bramki w ten sposób, że „masowy” zacisk generatora łączymy z masą układu scalonego, zaś drugi (sygnalowy) zacisk generatora łączymy z wejściem bramki. Masą układu scalonego TTL jest wyprowadzenie, z którym łączymy biegun ujemny baterii (lub zasilacza napięcia stałego) o napięciu 5V, zasilającej układ scalony. Bardzo często masa jest oznaczana symbolem „0V”, symbolem „ziemi” \perp , symbolem „GND” lub powszechnie stosowanym symbolem masy \perp . Dodatni biegun źródła zasilania układu scalonego łączymy z wyprowadzeniem oznaczanym symbolem „VCC” lub „+5V” albo z symbolem U_{DD} w układach CMOS.

LITERATURA

1. Jan Pieńkos, Janusz Turczyński: „Układy scalone TTL w systemach cyfrowych”, WKŁ, Warszawa, 1980.
2. Jan Pieńkos, Janusz Turczyński: „Układy scalone TTL serii UCY74 i ich zastosowanie”, WKŁ, Warszawa, 1977.
3. Andrzej Sowiński: „Cyfrowa technika pomiarowa”, WKŁ, Warszawa, 1975.
4. Wiesław Traczyk: „Układy cyfrowe automatyki”, Wyd. Naukowo-Techniczne, Warszawa, 1976.

Roman Kazański.

Wersja rozszerzona opisu.

Lublin, 22 maja, 2001r. Ostatnia zmiana 29 października 2009r. plik oellog.doc