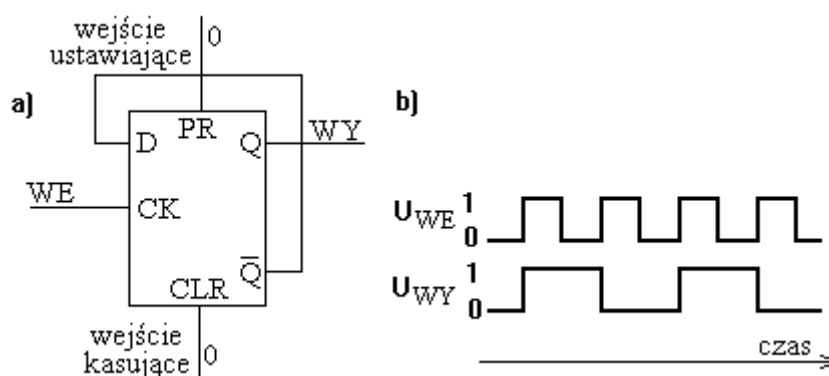


LICZNIKI

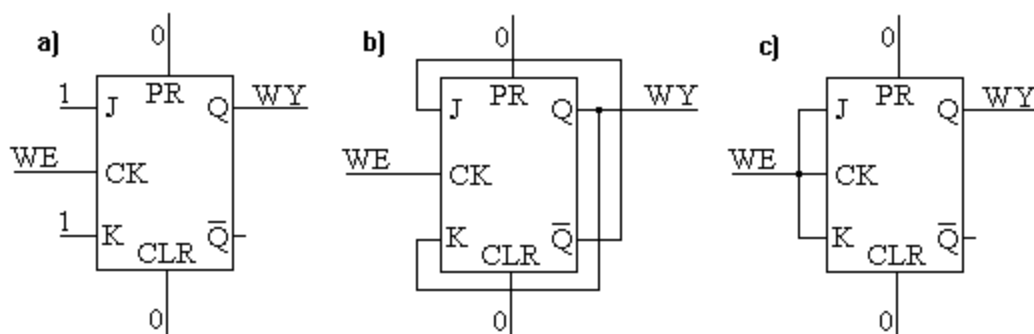
Liczniki asynchroniczne.

Liczniki buduje się z przerzutników. Najprostszym licznikiem jest tzw. dwójka licząca. Łatwo ją otrzymać z przerzutnika D albo z przerzutnika JK. Na rys.1a został pokazany przerzutnik D przekształcony w dwójkę liczącą. Wejście zegarowe przerzutnika jest wejściem dwójki. Na rys. 1b zostały pokazane przebiegi potencjałów (a tym samym przebiegi stanów logicznych) na wejściu i wyjściu dwójki liczącej, przy założeniu, że w chwili początkowej na wyjściu Q był stan niski oraz nie są aktywne wejścia: ustawiające oraz kasujące (tzn. że cały czas na te wejścia są podawane zera logiczne). Jak widzimy, pod wpływem każdego impulsu wejściowego w przerzutniku następuje przerzut, czyli zmiana stanów logicznych na obu wyjściach przerzutnika (można także powiedzieć, że następuje zmiana stanu przerzutnika). Wejście ustawiające służy do wymuszenia na wyjściu Q stanu logicznego 1 zaś wejście kasujące - do wymuszenia na wyjściu Q stanu 0. Zawsze (poza przypadkiem, gdy jest jednocześnie "aktywne" wejście ustawiające i kasujące, tzn. gdy jednocześnie wpisujemy jedynkę i zerujemy przerzutnik) na wyjściu \bar{Q} jest stan przeciwny w stosunku do stanu na wyjściu Q.



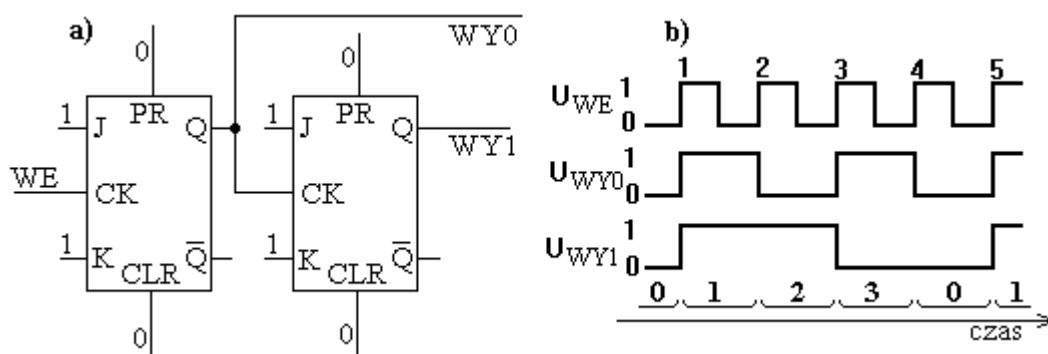
Rys. 1. Dwójka licząca otrzymana z przerzutnika D.

Na rys.2 zostały pokazane różne sposoby przekształcenia przerzutnika JK w dwójkę liczącą. Na rys. a dwójkę otrzymano przez podanie na stałe odpowiednich stanów na wejścia J i K, na rys. b i c dwójki otrzymano, stosując odpowiednie połączenia.



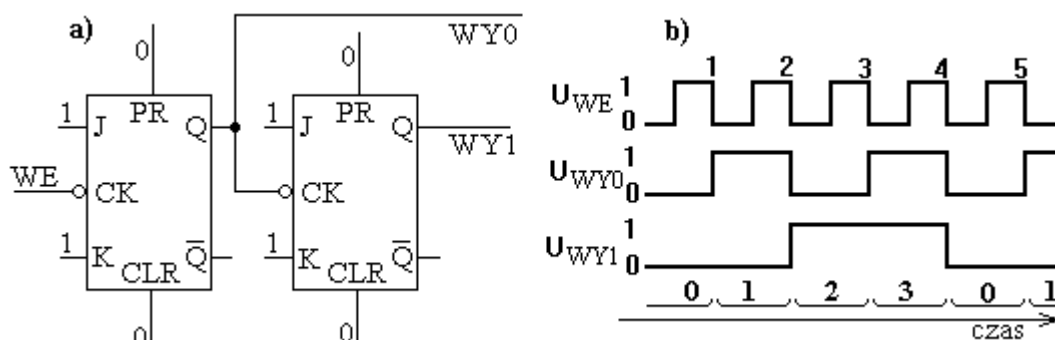
Rys. 2. Rozmaite sposoby przekształcenia przerzutnika JK w dwójkę liczącą.

Gdy wyjście jednej dwójki liczącej połączymy z wejściem drugiej, otrzymamy licznik liczący do "czterech" (mod. 4). Na rysunku 3 mamy schemat oraz przebiegi stanów logicznych na wejściu i wyjściu takiego licznika. Wejście pierwszej dwójki liczącej jest wejściem licznika, wyjścia obu dwójek ("WY0" i "WY1") stanowią wyjście licznika. Zawartość licznika - jakaś konkretna liczba, będąca wynikiem zliczania impulsów wejściowych - jest reprezentowana (w postaci binarnej) przez stany wyjść poszczególnych dwójek liczących. Narastające zbocza dodatnich impulsów podawanych na wejście licznika zostały ponumerowane od 1 do 4. Jak widzimy, stan wyjścia licznika po czwartym zboczu narastającym jest taki sam, jak przed pierwszym zboczem narastającym. U dołu, nad linią wskazującą kierunek czasu, cyframi od 0 do 3 została oznaczona zmieniająca się w czasie w czasie zawartość licznika: 0, 1, 2, 3 i znów 0, 1.



Rys. 3. Schemat oraz przebiegi stanów logicznych licznika liczącego mod. 4, zbudowanego z dwu dwójek liczących.

Na rysunku 4 mamy schemat układu liczącego do "czterech" oraz przebiegi stanów logicznych na wejściu i wyjściu licznika utworzonego przez dwie dwójki liczące zbudowane z przerzutników JK z "zaprzeczonymi" wejściami CK.



Rys. 4. Schemat licznika liczącego mod. 4, zbudowanego z dwu dwójek liczących otrzymanych z przerzutników JK z zaprzeczonymi wejściami zegarowymi.

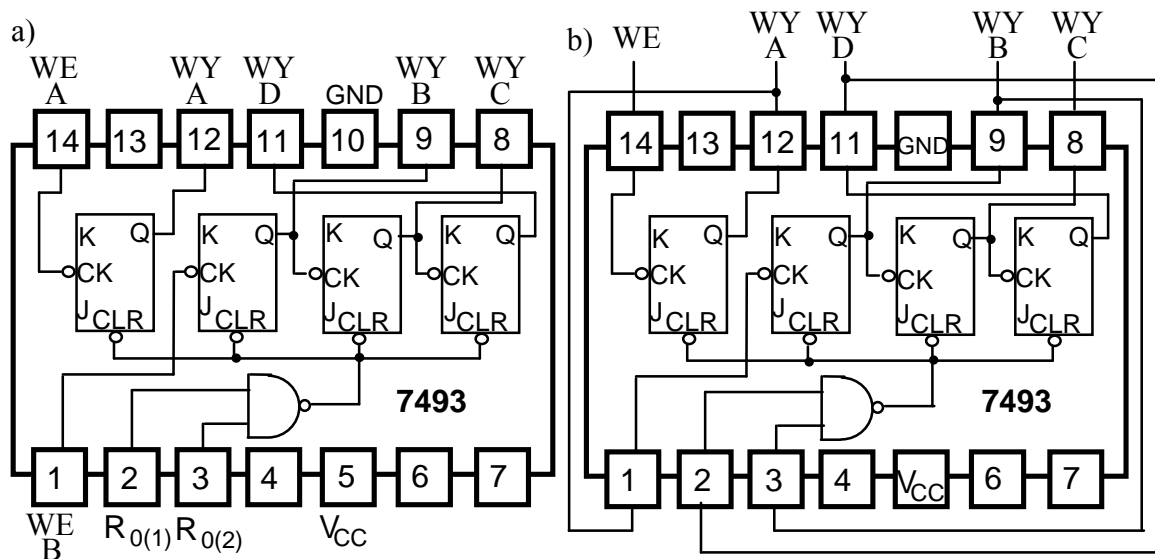
Jak łatwo się zorientować, połączone trzy dwójki liczące dadzą licznik liczący mod. 8, cztery dwójki dadzą licznik liczący mod. 16 itd. Tak budowane liczniki nazywane są licznikami asynchronicznymi, gdyż zmiana stanu danej dwójki liczącej zachodzi jako konsekwencja poprzedniej zmiany stanu na wyjściu poprzedniej dwójki. Zmiana stanu dwójki następnej zachodzi później, niż zmiana stanu dwójki poprzedniej. Opóźnienia te wynikają z tego, że pomiędzy momentami zmian stanu na wejściu i na wyjściu przerzutnika danego przerzutnika upływa pewien czas, tzw. "czas propagacji" sygnału przez przerzutnik. Jest to czas związany głównie z ładowaniem pojemności elektrod wewnętrznych przerzutnika przez oporności jego elementów składowych.

Możliwe jest zbudowanie z trzech dwójek liczących licznika liczącego np. "do pięciu" albo "do sześciu", czy też z czterech dwójek licznika liczącego np. "do dziesięciu". Trzeba w tym celu zmusić wszystkie dwójki do "wyzerowania się" w momencie, gdy zawartość licznika osiągnie odpowiednią wartość - wartość 5, gdy ma liczyć "do pięciu", wartość 6, gdy ma liczyć "do sześciu", wartość 10, gdy ma liczyć "do dziesięciu". Do tego celu służą wejścia zerujące przerzutników. Potrzebny jest tylko układ "wykrywający" daną liczbę na wyjściu licznika i wysyłający impuls zerujący przerzutniki. Układ wykrywający daną liczbę buduje się z bramek.

Aby ułatwić budowę liczników pracujących w układach dziesiętnych oraz odmierzających czas (potrzebne tu np. liczenie "do 6"), zostały zaprojektowane specjalne podzespoły w postaci układów scalonych, liczących mod. 2 i mod. 5 (UCY 7490), mod. 2 i mod. 6 (UCY7492) oraz mod. 2 i mod. 8 (UCY7493). Licznik liczący mod 10 łatwo jest uzyskać z układu 7490 albo 7493. Licznik liczący mod. 60 uzyskamy łącząc np. licznik mod. 10 z licznikiem mod. 6. Rysunek 5a przedstawia schemat logiczny licznika scalonego UCY7493. Trzy dwójki liczące w tym podzespołe są ze sobą na stałe połączone wewnątrz układu w ten sposób, że wejście dwójki następnej jest połączone z wyjściem dwójki poprzedniej. Połączone ze sobą są wejścia kasujące (zerujące) wszystkich dwójek.

Kółeczka przy tych wejściach oznaczają, że są to wejścia "zanegowane". Gdy na takim wejściu istnieje zero logiczne, to na wyjściu Q jest wymuszony stan niski. Dostęp do wejść zerujących prowadzi przez dwuwejściową bramkę NAND. Jeśli na oba wejścia tej bramki (wyprowadzenia o numerach 2 i 3) są podane stany wysokie (tzn. jedynki logiczne), to licznik UCY7493 nie liczy (jest zerowany). Dzięki takiemu rozwiązaniu jest bardzo łatwo z układu UCY7493 uzyskać np. licznik mod. 10 - wystarczy wykonać dwa połączenia (oprócz połączenia wyjścia A z wejściem B). Na rys. 5b widzimy licznik mod. 10 uzyskany z układu UCY7493.

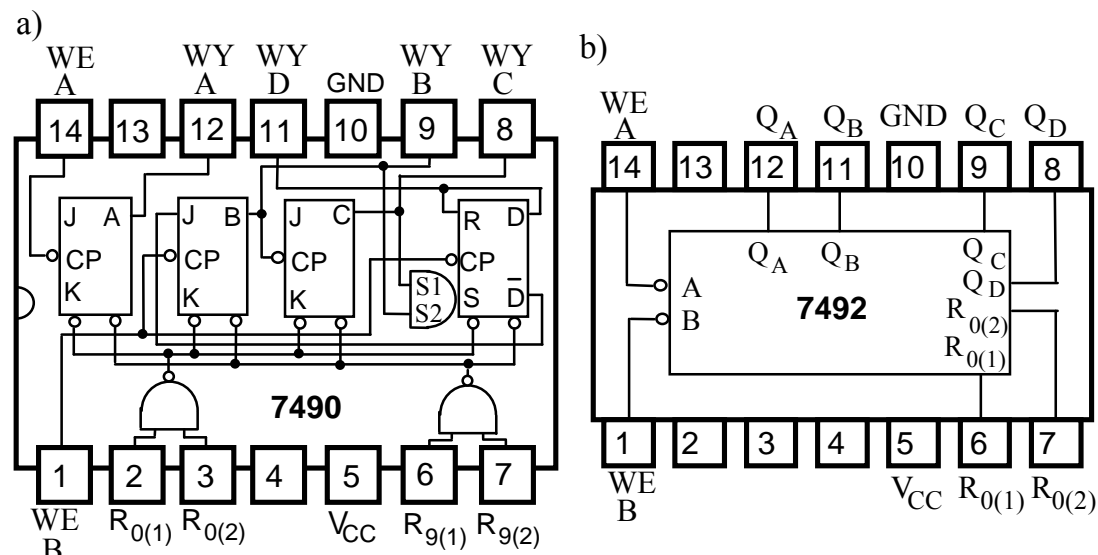
Wejścia oraz wyjścia kolejnych dwójek liczących oznacza się kolejnymi literami alfabetu: WE A, WY A, WE B, WY B, WY C, WY D.



Rys. 5. Schemat logiczny układu UCY7493 (rys. a) i licznik mod. 10 zbudowany z układu UCY7493.

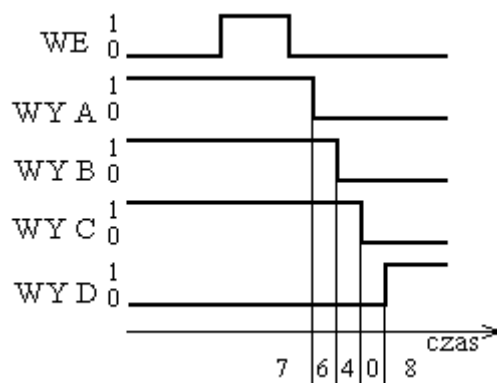
Na rys. 6a widzimy schemat licznika dziesiętnego UCY7490, zawierającego dwójkę liczącą oraz zespół trzech przerzutników, liczący mod. 5. Wyprowadzenia o numerach 2 i 3 służą do zerowania zawartości licznika, wyprowadzenia o numerach 6 i 7 służą do wpisywania do licznika liczby 9. Jeśli wyjście zespołu liczącego do pięciu połączymy z wejściem A (wtedy wejściem licznika będzie wejście B), to otrzymamy licznik liczący do dziesięciu z symetryczną falą sygnału na wyjściu. Z układów UCY7490 a także UCY7493 bardzo łatwo jest budować liczniki dekadowe. Wystarczy połączyć ze sobą szeregowo wymaganą ilość układów liczących mod. 10, łącząc wyjście ostatniego przerzutnika danego układu scalonego łączymy z wejściem pierwszego przerzutnika następnego układu, aby otrzymać żądany licznik. Łącząc dwa układy otrzymujemy licznik mod. 100, łącząc trzy - otrzymujemy licznik mod. 1000 itd. Każdy układ scalony jest tu dekadą liczącą mod. 10 i podającą wynik w kodzie BCD.

Na rys. 6b został pokazany schemat wyprowadzeń układu scalonego UCY7492, stanowiącego licznik mod. 12. Z oznaczeń wyprowadzeń układu można wywnioskować, że zawiera on dwójką liczącą oraz zespół przerzutników liczący mod. 6.



Rys. 6. Schemat budowy układu UCY7490 oraz schemat wyprowadzeń układu UCY7492.

Cechą ujemną liczników asynchronicznych jest generowanie przez nie fałszywych liczb na wyjściu licznika z powodu nierównoczesnego (coraz późniejszego) występowania zboczy impulsów na wyjściach kolejnych przerzutników. Szybki dekodery liczb pośredniczący pomiędzy takim licznikiem a jakimś innym urządzeniem będzie podawał do tego urządzenia fałszywe liczby. Na przykład po przyjsciu na wejście układu UCY7493 ósmego impulsu pojawią się na wyjściu licznika pomiędzy prawidłowymi liczbami: "0111" (siedem) i "1000" (osiem) trzy fałszywe liczby: "0110" (sześć), "0100" (cztery) i "0000" (zero). Rysunek 7 ilustruje przyczynę występowania tego zjawiska.

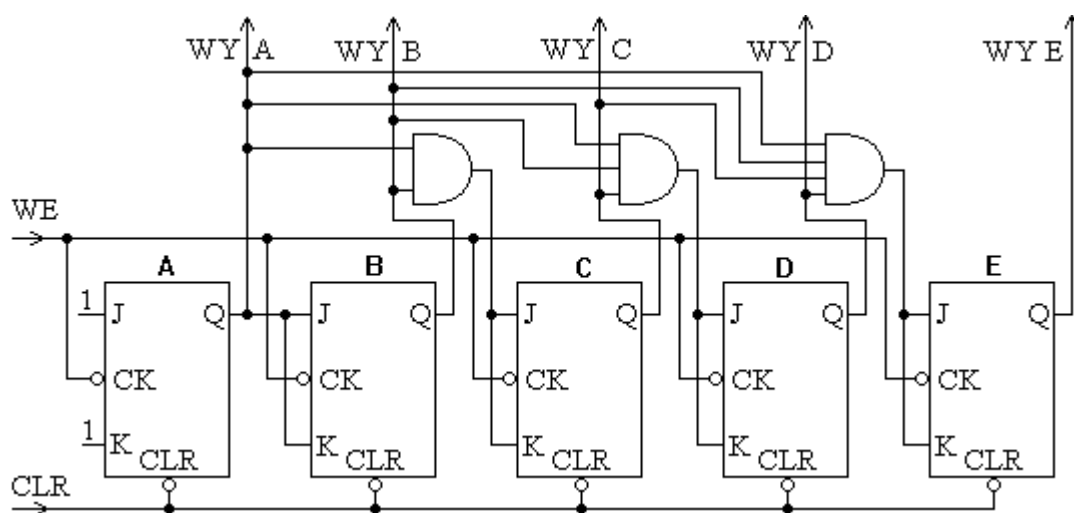


Rys. 7. Powstawanie fałszywych liczb na wyjściu licznika asynchronicznego

Liczniki synchroniczne.

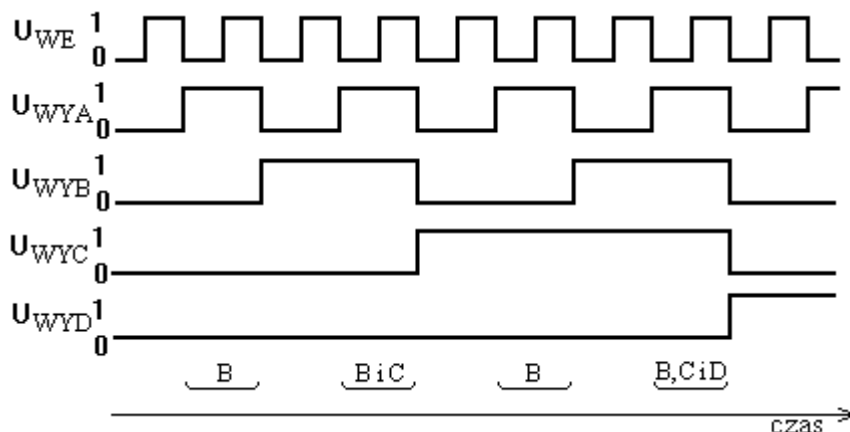
W liczniku synchronicznym ten sam sygnał wejściowy (zliczane impulsy) jest jednocześnie podawany na wejścia zegarowe wszystkich przerzutników. Na wejścia J i K pierwszego przerzutnika (przerzutnik oznaczony literą A na rys. 8) są podane "na stałe" jedynki logiczne. Pod wpływem każdego impulsu wejściowego w przerzutniku tym następuje zmiana stanu przerzutnika. Inaczej jest z przerzutnikami następnymi. Na wejścia J i K drugiego przerzutnika jest podawany stan z wyjścia pierwszego przerzutnika. Na wejścia J i K każdego następnego przerzutnika jest podawany iloczyn logiczny stanów wyjść wszystkich poprzednich przerzutników. Jeśli na wyjściu pierwszego przerzutnika istnieje stan niski, to stan przerzutnika drugiego nie się zmieni się; jeśli na wyjściu pierwszego przerzutnika istnieje stan wysoki, to stan przerzutnika drugiego zmieni się pod wpływem impulsu podawanego na jego wejście zegarowe. Jeśli iloczyn logiczny stanów wyjść wszystkich przerzutników poprzedzających dany przerzutnik ma wartość "1", to stan danego przerzutnika zmieni się, jeśli wartość tego iloczynu wynosi "0", to stan danego przerzutnika nie zmieni się. Tak więc, gdy np. na wyjściach przerzutników A i B są stany wysokie, to pod wpływem zbocza opadającego impulsu na wejściu licznika nastąpi przerzut w przerzutniku C.

Jeśli w rozpatrywanym liczniku pod wpływem impulsu wejściowego następują zmiany stanu kilku przerzutników, to następują one w tym samym momencie. Dlatego też licznik taki nazywa się licznikiem synchronicznym. Do bramek podających sygnał na połączone wejścia J i K przerzutników są doprowadzone przewody z wyjść wszystkich poprzednich przerzutników. Taki licznik nosi nazwę licznika synchronicznego z przeniesieniami równoległymi.



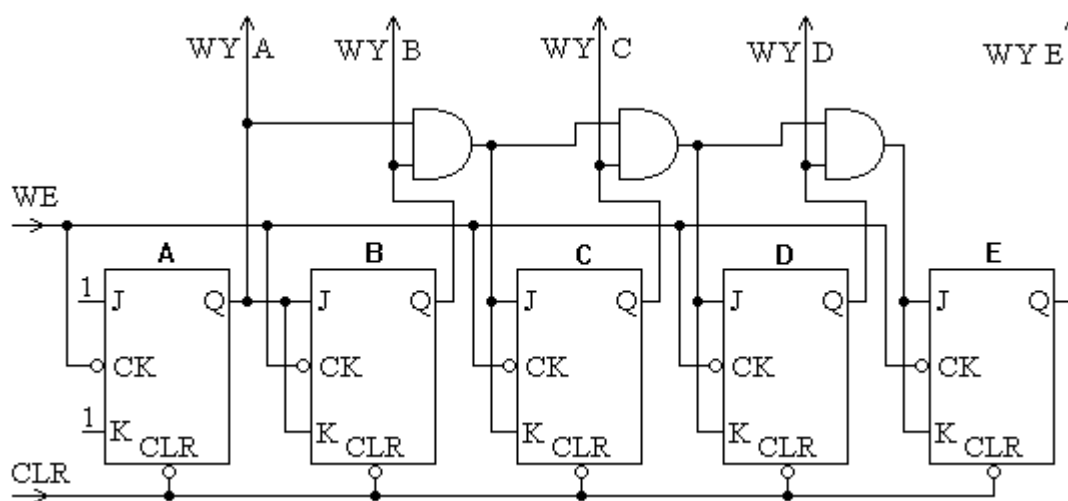
Rys. 8. Licznik synchroniczny z przeniesieniami równoległymi.

Na rys. 9 zostały przedstawione przebiegi napięć na wejściach i wyjściach licznika synchronicznego. U dołu - nad osią czasu - zostały zaznaczone okresy czasu oraz przerzutniki mające w tych okresach podane jedynki logiczne na wejścia J i K, pozwalające na przerzut tych przerzutników.



Rys 9. Zmiany stanów logicznych w liczniku synchronicznym.

Rysunek 10 przedstawia licznik synchroniczny z przeniesieniami szeregowymi. Licznik ten działa na takiej samej zasadzie jak licznik z przeniesieniami równoległymi, z tym, że w inny sposób jest uzyskiwany iloczyn logiczny stanów wyjść przerzutników poprzedzających dany przerzutnik. Zamiast dla kolejnych przerzutników stosować bramki o coraz to większej ilości wejść, stosuje się bramki dwuwejściowe. W takim rozwiązaniu czas dojścia sygnału z jednego przerzutnika do odległego drugiego jest równy sumie czasów propagacji sygnału wszystkich przerzutników, przez które ten sygnał przechodzi. Duży czas przejścia sygnału pomiędzy pierwszym a ostatnim przerzutnikiem silnie ogranicza od góry wartość maksymalnej częstości impulsów, które może poprawnie zliczać taki licznik.

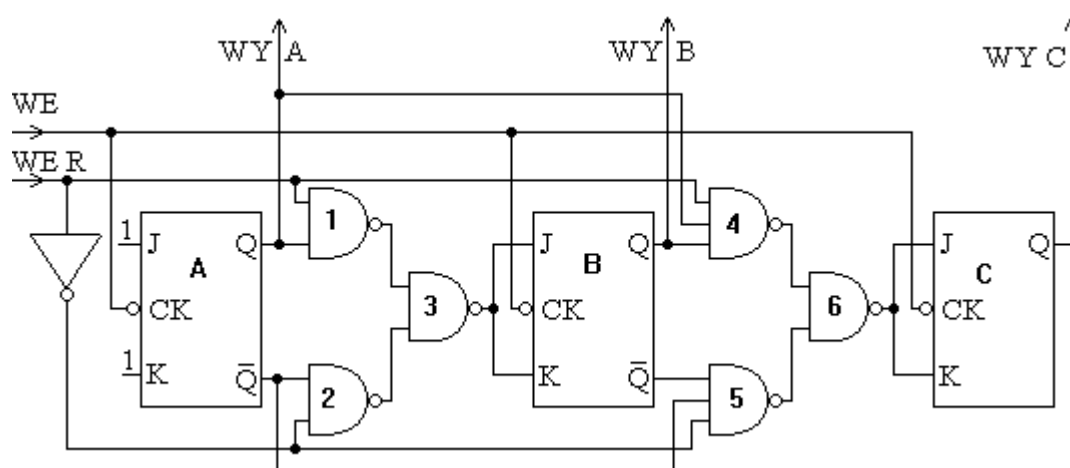


Rys. 10. Licznik synchroniczny z przeniesieniami szeregowymi.

Liczniki rewersyjne.

W oparciu o zasadę działania liczników synchronicznych, w których ten sam sygnał wejściowy jest doprowadzany do wszystkich przerzutników buduje się liczniki rewersyjne, czyli liczniki mogące liczyć "do przodu" i "do tyłu". W liczniku liczącym normalnie, czyli do przodu, każdy impuls podawany na wejście powoduje zwiększenie o 1 zawartości licznika; w liczniku liczącym do tyłu każdy impuls podawany na wejście powoduje zmniejszenie o 1 zawartości licznika.

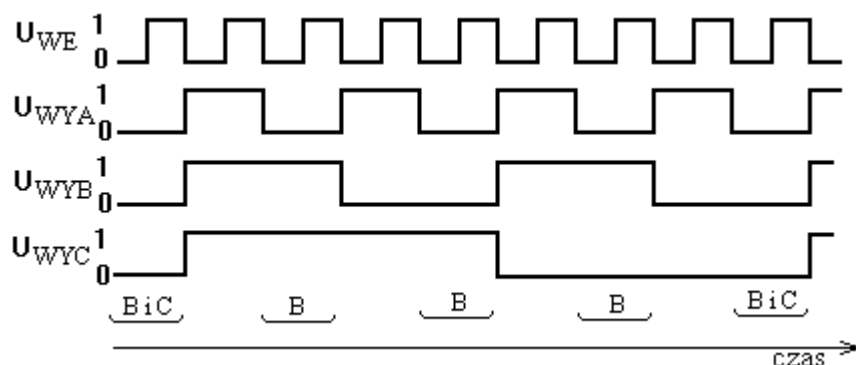
Na rys. 11 został przedstawiony licznik rewersyjny zbudowany z trzech przerzutników JK. Oprócz wejścia dla zliczanych impulsów licznik posiada wejście (WE R) dla określenia kierunku liczenia. Licznik można rozbudowywać - powiększając układ o dalsze przerzutniki oraz stosując dla każdego następnego przerzutnika jedną dwuwejściową bramkę NAND oraz parę bramek o coraz to większej ilości wejść. Jeśli na wejście WE R jest podana jedynka logiczna, to na wyjściach bramek 2 i 5 są jedynki logiczne - wtedy układ działa jako znany nam już, liczący do przodu, licznik synchroniczny z przeniesieniami równoległymi. Jeśli na wejściu WE R jest zero logiczne, wtedy stan pierwszego przerzutnika - podobnie jak przy liczeniu do przodu - zmienia się pod wpływem każdego impulsu wejściowego. Jeśli chodzi o dalsze przerzutniki, to - jak można zauważyć - dany przerzutnik może zmienić swój stan pod wpływem impulsu wejściowego, gdy na wyjściach Q przerzutników poprzedzających dany przerzutnik są zera logiczne. Taka logika zmian stanów logicznych wyjść poszczególnych przerzutników powoduje że licznik liczy do tyłu, zmniejszając swoją zawartość.



Rys. 11. Licznik rewersyjny z przeniesieniami równoległymi.

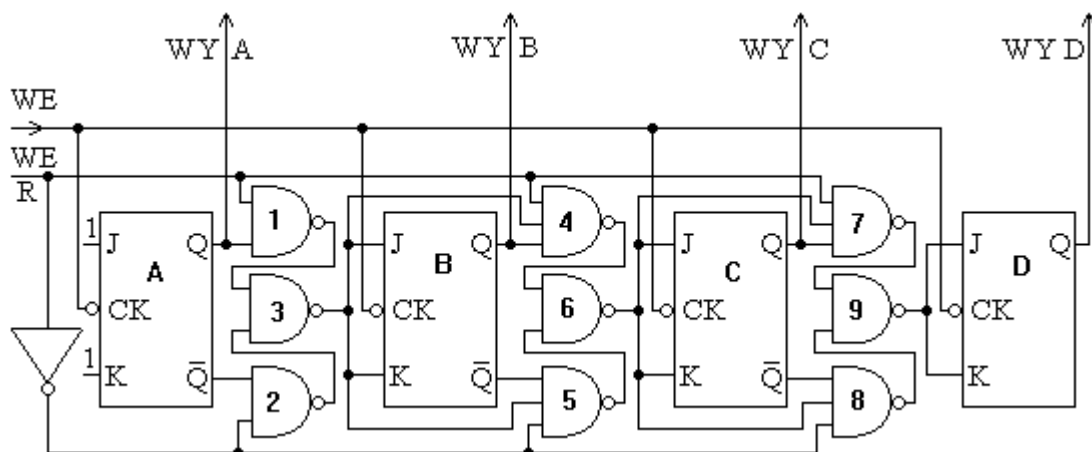
Na rys. 12 zostały przedstawione przebiegi napięć na wejściach i wyjściach licznika rewersyjnego przedstawionego na rys. 11. U dołu rys.

12 zostały zaznaczone okresy czasu oraz przerzutniki mające w tych okresach podane jedynki logiczne na wejścia J i K, pozwalające na przerzut tych przerzutników przy podanym zerze logicznym na wejściu WE R, tzn. gdy licznik liczy do tyłu.



Rys.12. Zmiany stanów logicznych w liczniku rewersyjnym liczącym do tyłu.

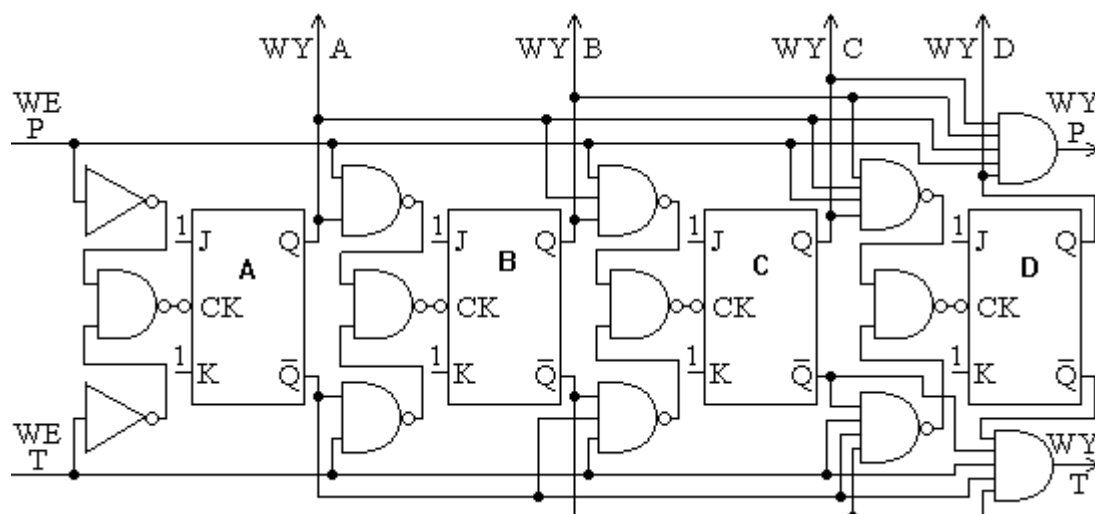
Przedstawiony na rys. 11 licznik rewersyjny posiada przeniesienia równoległe. W układzie można zastosować także przeniesienia szeregowo, stosując przy dalszych przerzutnikach zamiast bramek NAND o coraz to większej ilości wejść - trójwejściowe bramki NAND. Na rys. 13 został pokazany schemat licznika rewersyjnego z przeniesieniami szeregowymi.



Rys. 13. Licznik rewersyjny z przeniesieniami szeregowymi.

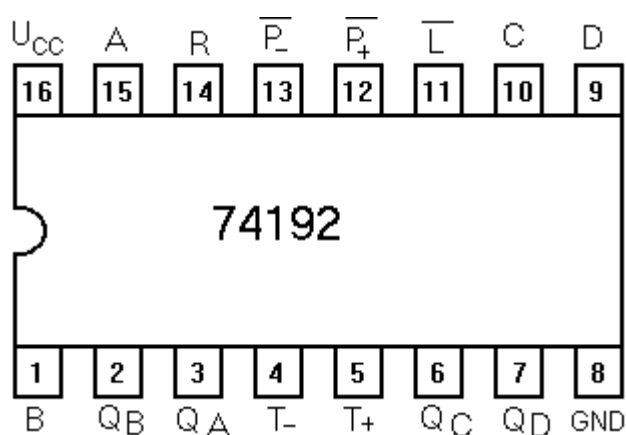
Na rys. 14 został pokazany schemat licznika rewersyjnego, posiadającego dwa wejścia dla zliczanych impulsów. Impulsy podawane na wejście "WE P" zwiększają zawartość licznika, impulsy podawane na wejście "WE T" zmniejszają zawartość licznika. Na nieużywanym wejściu w tym rozwiązaniu powinien być stan zero. Sygnały z wyjść WY P (wyjście przeniesienia) i WY T (wyjście pożyczki) można podać na wejścia WE P i WE T następnego, podobnego układu, w celu utworzenia

licznika rewersyjnego o większej pojemności (całość nie będzie już licznikiem synchronicznym).



Rys. 14. Schemat licznika rewersyjnego, posiadającego osobne wejścia dla impulsów zwiększających i zmniejszających zawartość licznika.

Jeśli poszczególne przerzutniki tworzące taki licznik posiadają wejścia zerujące i ustawiające, to do takiego licznika można wpisać liczbę początkową a potem ją zwiększać albo zmniejszać, podając impulsy na odpowiednie wejścia. Są produkowane liczniki rewersyjne, posiadające wewnętrzne układy wymuszające zerowanie się licznika przy przekraczaniu zawartości wynoszącej 9 i generujące impuls przeniesienia (albo impuls pożyczki przy liczeniu do tyłu) oraz posiadające wejścia do wpisania do licznika liczby z zakresu od 0 do 9. Na rys. 15 mamy schemat rozmieszczenia wyprowadzeń układu scalonego UCY74192, będącego takim licznikiem.



Rys. 15. Wyprowadzenia licznika rewersyjnego dziesiętnego UCY74192.

Znaczenie wyprowadzeń licznika UCY74192.

- 1 - wejście danych B,
- 2 - wyjście B,

- 3 - wyjście A,
- 4 - wejście dla impulsów posuwających licznik do tyłu,
- 5 - wejście dla impulsów posuwających licznik do przodu,
- 6 - wyjście C,
- 7 - wyjście D,
- 8 - masa,
- 9 - wejście danych D,
- 10 - wejście danych C,
- 11 - wejście dla impulsu wprowadzającego dane do licznika,
- 12 - wyjście przeniesienia,
- 13 - wyjście pożyczki,
- 14 - wejście dla impulsu zerującego licznik,
- 15 - wejście danych A,
- 16 - dodatni biegun zasilania (+5V).

Plan ćwiczenia.

1. Zbadać działanie licznika UCY7493.

Odrysować wskazania wyświetlacza siedmiosegmentowego, zasilanego przez układ scalony UCY7447 (rys.16), sterowany wyjściami A, B, C i D układu UCY7493. Na wejście licznika podawać sygnał TTL o częstotliwości rzędu 1 Hz.

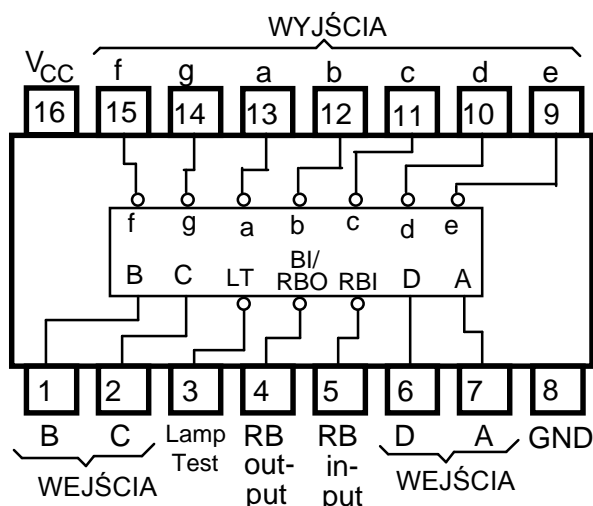
Odrysować z ekranu oscyloskopu przebiegi sygnału na wejściu licznika oraz na wyjściach A, B, C i D układu scalonego UCY7493. Wskazane jest posługiwać się przystawką dwukanałową dołączoną do oscyloskopu dwukanałowego - otrzymamy układ oscyloskopu 3-kanałowego. Zadania wykonać dla:

- a) układu liczącego mod. 16,
- b) układu liczącego mod. 10,
- c) układu liczącego mod. 7.

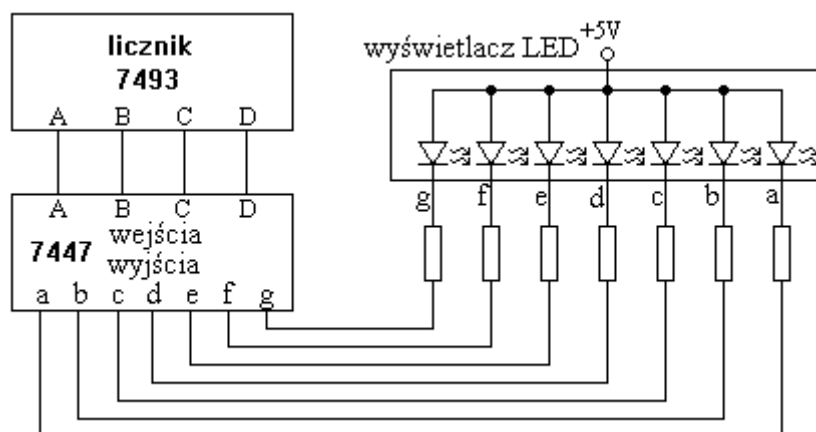
Uwaga. Pozostawienie wolnych (niepodłączonych gdziekolwiek) wejść zerujących licznik UCY7493 oznacza podanie na te wejścia stanu wysokiego. Aby licznik liczył mod. 16, należy przynajmniej na jedno wejście zerujące podać stan niski. Dla wykonania punktu c należy zaprojektować układ wykrywający liczbę 7 na wyjściu licznika i podający - w momencie wykrycia liczby - jedynki logiczne na oba wejścia zerujące licznika. Otrzymany układ przekształcić tak, by składał się tylko z dwuwejściowych elementów NAND. Do realizacji zadania wystarczy jeden układ scalony UCY7400, zawierający 4 dwuwejściowe bramki NAND. Układy scalone wymagają zasilania napięciem stałym o wartości 5V. Numery wyprowadzeń układów, do których doprowadzamy napięcie zasilające są różne dla różnych układów; inne dla układów zawierających bramki, inne dla układów stanowiących liczniki.

Sygnały z wyjść A, B, C i D licznika wprowadzamy na wejścia A, B, C i D układu UCY7447 (rys. 17). Wyjścia a, b, c, d, e, f i g układu

UCY7447 łączymy - poprzez oporniki ograniczające natężenie prądu każdego segmentu do wartości 20 mA - z podobnie oznaczonymi wyprowadzeniami siedmiosegmentowego wyświetlacza "LED" posiadającego wspólną anodę wszystkich segmentów. Anodę wyświetlacza łączymy z dodatnią elektrodą zasilacza "+5V". Wejścia transkodera "Lamp Test" i "RB input" (także i "RB output") pozostawiamy niepodłączone. Wyświetlacz wraz z opornikami jest zamontowany na specjalnej płytce.



Rys. 16. Schemat wyprowadzeń transkodera UCY7447.



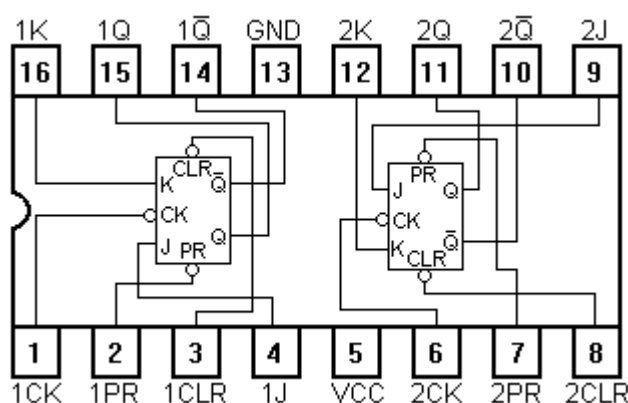
Rys. 17. Schemat połączenia transkodera UCY7447 oraz wyświetlacza siedmiosegmentowego LED z licznikiem UCY7493.

2. Z trzech przerzutników JK (potrzebne dwa układy scalone UCY7476) oraz układu scalonego UCY7400 zbudować licznik synchroniczny z przeniesieniami równoległymi liczący mod. 8 (na podst. rys. 8). Potrzebny element AND należy zastąpić równoważnym układem zbudowanym z dwu elementów NAND (Jak to zrobić?). Posługując się oscyloskopem, zbadać działanie licznika i przedstawić wykresy zmian stanów logicznych na wejściu i wyjściu dla 16 impulsów wejściowych.

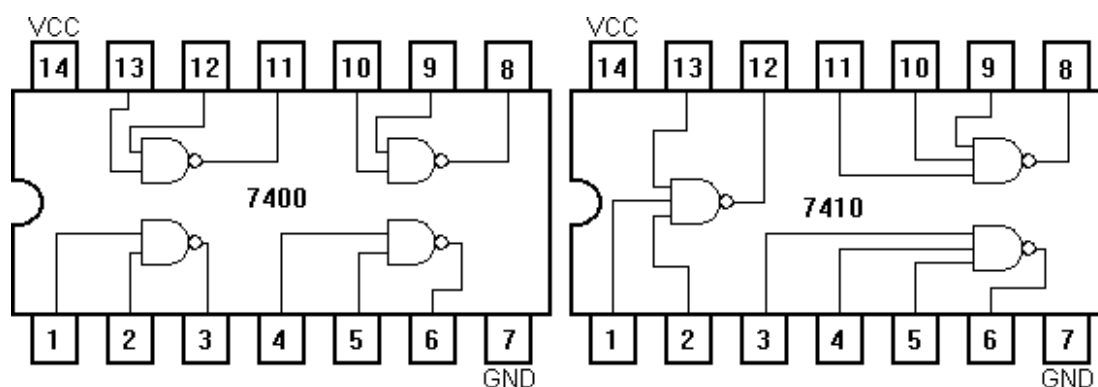
3. Z czterech przerzutników JK (potrzebne dwa układy scalone UCY7476) oraz układu scalonego UCY7400 zbudować licznik synchroniczny z przeniesieniami szeregowymi liczący mod. 16 - wg rys. 10). Posługując się oscyloskopem, zbadać działanie licznika i przedstawić wykresy zmian stanów logicznych na wejściu i wyjściu dla 32 impulsów wejściowych.

4. Z trzech przerzutników JK (potrzebne dwa układy scalone UCY7476) oraz jednego układu scalonego UCY7400 i jednego układu UCY7410 (3 trójwejściowe bramki NAND) zbudować licznik rewersyjny z przeniesieniami szeregowymi liczący mod. 8 - wg rys.13. Posługując się oscyloskopem, zbadać działanie licznika i przedstawić wykresy zmian stanów logicznych na wejściu i wyjściu dla 16 impulsów wejściowych dla obu "kierunków" liczenia..

5. Posługując się oscyloskopem, zbadać działanie licznika UCY74192. przedstawić przebieg zmian stanów logicznych na wejściu oraz na wszystkich wyjściach licznika dla 20 impulsów zwiększających oraz dla 20 impulsów zmniejszających zawartość licznika. Aby licznik liczył, należy na nieużywane wejście T podać stan "1", na wejście R - stan "0".



Rys. 18. Schemat logiczny układu scalonego UCY7476.



Rys. 19. Rozmieszczenie wyprowadzeń w układach scalonych UCY7400 i UCY7410.

LITERATURA

1. Jan Pieńkos, Janusz Turczyński: „Układy scalone TTL w systemach cyfrowych”, WKŁ, Warszawa, 1980.
2. Jan Pieńkos, Janusz Turczyński: „Układy scalone TTL serii UCY74 i ich zastosowanie”, WKŁ, Warszawa, 1977.
3. Andrzej Sowiński: „Cyfrowa technika pomiarowa”, WKŁ, Warszawa, 1975.
4. Wiesław Traczyk: „Układy cyfrowe automatyki”, Wyd. Naukowo-Techniczne, Warszawa, 1976.
5. P. Misiurewicz, M. Grzybek: „Półprzewodnikowe układy logiczne TTL”, Wyd. Naukowo - Techniczne. Warszawa, 1979.

Roman Kazański,
7 czerwca 2001r.

Ostatnia zmiana 16 kwietnia 2008r. Plik "oliczn.doc".