

## ZAGADNIENIA TEORETYCZNE

- System binarny:
  - podstawowe operacje logiczne: zaprzeczenie, suma, iloczyn, alternatywa wykluczająca;
  - dodawanie liczb w systemie binarnym;
  - konwersja liczb z systemu dziesiętnego do systemu binarnego i odwrotnie.
- Elementy logiczne w technologii TTL:
  - układy 74xx zawierające bramki: NAND, AND, OR, NOR, XOR itp.;
  - napięcia odpowiadające stanom 0 i 1 w technologii TTL;
  - budowa i zasada działania bramek w technologii TTL.
- Przerzutnik RS – budowa i zasada działania.
- Przerzutnik Schmitta.

## ELEMENTY UKŁADU POMIAROWEGO

- Płytki pomiarowe ze złączami radiowymi zawierające układy cyfrowe UCY: 7400, 7432, 7402, 74011, 7414, 74132.
- Zasilacz Kabid-Press KP 16102.
- Woltomierz analogowy x2.
- Ręczny generator stanów logicznych.
- Wskaźnik stanów logicznych diodowy.

## UWAGI OGÓLNE

Wszystkie układy logiczne (TTL, seria 74xx) używane w tym ćwiczeniu wymagają zasilania 5 V, które musi być doprowadzone do złącz radiowych w poszczególnych płytkach pomiarowych.

Napięcie stałe o wartości +5 V z zasilacza Kabid-Press doprowadzamy do gniazd wejściowych +5 V oraz 0 V (masa/GND) tzw. ręcznego generatora stanów logicznych. Generator ten, oprócz możliwości ustawiania stanów logicznych, działa jak rozdzielacz elektryczny i umożliwia wyprowadzenie trzech par przewodów zasilających 0 V oraz +5 V do poszczególnych płytek.

Gniazda 0 V można wykorzystać jako masę woltomierzy. Napięcie zasilające jest podawane na poszczególne wyjścia wtedy gdy przycisk zasilania jest wciśnięty.

Generator ręczny posiada 5 wyjść, na których można ustalać stany 0 lub 1 poprzez wciskanie odpowiednich klawiszy. Klawisz wciśnięty oznacza stan 1, czyli napięcie +5 V na odpowiednim wyjściu.

Generator ten posiada też jedno specjalne wyjście, w którym napięcie może być ustalone w sposób ciągły (przy pomocy potencjometru, który tworzy dzielnik napięcia) w zakresie od 0 V do +5 V, co pozwala na „płynne” przejście ze stanu logicznego od 0 do 1.

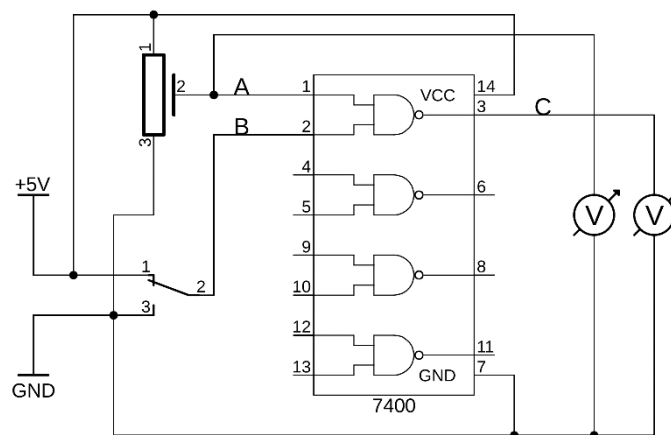
## INSTRUKCJA WYKONANIA ĆWICZENIA

### 1. BADANIE WŁAŚCIWOŚCI BRAMKI NAND

W pierwszej kolejności należy zbadać zależność napięcia na wyjściu bramki NAND (NIE-I) wykonanej w technologii TTL w funkcji napięcia podanego na jedno z jej wejść (A). Rozpatrujemy dwa przypadki:

- Na wejście B podajemy na stałe sygnał odpowiadający logicznej 1,
- Na wejście B podajemy na stałe sygnał odpowiadający logicznemu 0.

Napięcie podawane na wejście A zmieniamy w zakresie od 0 V do +5 V. Uproszczony schemat układu pomiarowego przedstawiono na Rys. 1.



RYS. 1. SCHEMAT UKŁADU POMIAROWEGO DO BADANIA WŁAŚCIWOŚCI BRAMKI NAND

Należy pamiętać o tym, że układy logiczne wymagają zasilania, natomiast napięcie od 0 V do 5 V pobieramy z regulowanego wyjścia ręcznego generatora stanów logicznych (proszę przeczytać uwagi ogólne).

Zarejestrowane wyniki przedstawiamy w opracowaniu w postaci wykresu  $U_{wy} = f(U_{we})$ .

### 2. ZAPRZECZENIE LOGICZNE – BRAMKA NOT

Bramka NOT posiada jedno wejście oraz jedno wyjście, którego stan logiczny jest zaprzeczeniem stanu na wejściu. W pierwszej kolejności konstruujemy bramkę NOT z dostępnej w układzie 7400 bramki NAND.

Aby tego dokonać należy rozważyć szereg możliwości takich jak (nie wszystkie są poprawne):

- ustawienie na stałe stanu logicznego 1 lub 0 na jednym z wejść – drugie wejście bramki NAND będzie wejściem powstałej w ten sposób bramki NOT;
- można również rozważyć połączenie obu wejść bramki NAND razem i traktować te połączone wejścia jako wejście bramki NOT;
- należy również zastanowić się nad przypadkiem kiedy jedno z wejść bramki NAND pozostaje niepodłączone, a drugie traktujemy jako wejście bramki NOT.

Po skonstruowaniu bramki NOT według wybranej, poprawnej metody, należy sprawdzić w pierwszej kolejności czy działa ona poprawnie, jeśli tak to wykonujemy następujący eksperyment:

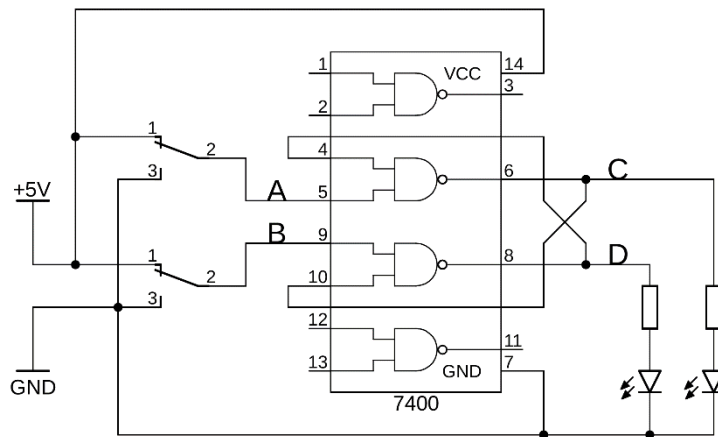
*Wyjście bramki NOT należy połączyć z jej wejściem. Następnie sprawdzamy jakie napięcie ustali się na wyjściu (wejściu) w ten sposób połączonych bramek.*

Jaki stan logiczny odpowiada zmierzonemu napięciu?

### 3. PRZERZUTNIK RS

Korzystając z układu 7400 należy zbudować przerzutnik RS zgodnie ze schemat przedstawionym na Rys. 2.

Podobnie jak w poprzednich punktach, do generowania stanów wejściowych A i B używamy ręcznego generatora wyposażonego w odpowiednie przełączniki. Stan wyjściowy można sprawdzić korzystając z płytki „wskaźnik stanów logicznych” zawierającej szereg diod LED wraz z opornikami.

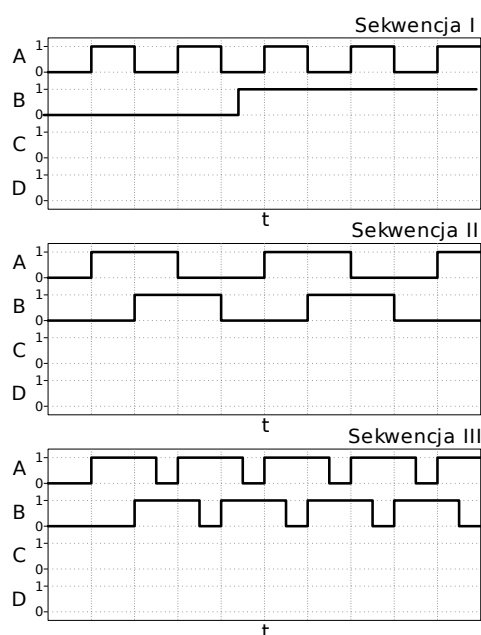


RYS. 2. PRZERZUTNIK RS ZBUDOWANY Z DWÓCH BRAMKEN NAND

W tym ćwiczeniu należy zbadać jak taki przerzutnik RS, który jest jednocześnie układem elementarniej pamięci cyfrowej reaguje na różne stany wejść oraz w szczególności sekwencje zmiany tych stanów.

Dla takiego przerzutnika zbudowanego z bramek NAND „optymalnym” stanem spoczynkowym jest sytuacja, w której na oba jego wejścia podawane jest napięcie odpowiadające logicznej 1. Wtedy jedno z wyjść ma stan 1 drugie stan 0. To, które z wyjść, C czy D, ma stan wysoki zależy od tego, które z wyjść jako ostatnie miało przez pewien czas stan logiczny 0. Układ „pamięta” tą ostatnią operację.

Jest to więc przykład układu logicznego sekwencyjnego, gdzie sekwencja zmian (a nie kombinacja stanów) na wejściach wpływa na stan wyjść. Należy przebadać wpływ poniższych sekwencji, przedstawionych na Rys. 3, na stan poszczególnych wyjść C i D.



RYS. 3. PRZYKŁADOWE PRZEBIEGI STANÓW LOGICZNYCH W CZASIE NA WEJŚCIACH A I B PRZERZUTNIKA RS

#### 4. SUMATOR ELEMENTARNY

Elementarny sumator dwójkowy (a dokładniej tzw. półsumator) ma za zadanie wykonać operacje dodawania dwóch liczb binarnych (nie mylić z sumą logiczną!). Jego działanie można przedstawić w postaci tabeli, gdzie A i B to dwa wejścia takiego sumatora (są one zamienne bo i operacja dodawania jest przemienne) oraz dwa wyjścia:  $S_i$  oraz  $C_{i+1}$ .

A	B	$S_i$	$C_{i+1}$
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

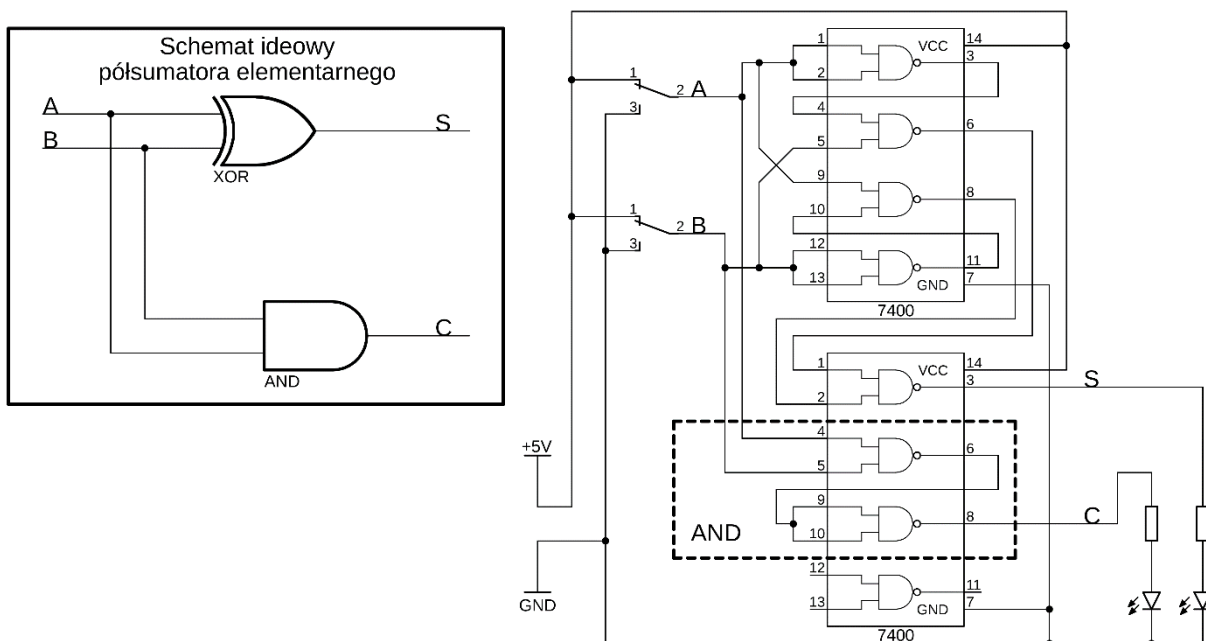
Wyjście  $S_i$  to suma dodawania dwóch liczb. W systemie binarnym ta wartość może odpowiadać logicznemu stanowi 1 lub 0 – nie ma innej możliwości, dlatego jeśli dodawane są dwie 1, to  $S_i$  przyjmuje wartość 0, a 1 jest przenoszona na wyższą pozycję, czyli  $C_{i+1}$  przyjmuje wówczas wartość 1.

Łatwo zauważyć, na podstawie powyższej tabeli, że takie operacje logiczne, które prowadzą do odpowiednich stanów na poszczególnych wyjściach można uzyskać przy pomocy bramek XOR (alternatywa wykluczająca – bramka ALBO) oraz bramki AND (bramka I).

W ćwiczeniu tym nie mamy do dyspozycji wymienionych wyżej bramek, dlatego konieczne jest ich zastąpienie odpowiednio połączonymi bramkami NAND. Przykładowo, żeby zbudować bramkę AND należy do bramki NAND dodać na wyjściu element zaprzeczenia logicznego (również zbudowany z bramki NAND), wówczas zaprzeczając zaprzeczeniu uzyskamy ostatecznie bramkę AND. Przypadek utworzenia bramki XOR z bramek NAND pozostawiamy do indywidualnej analizy.

Gotowy schemat sumatora elementarnego zbudowanego wyłącznie z bramek NAND wraz z jego ideowym odpowiednikiem jest przedstawiony na Rys. 4.

Należy zbudować taki sumator korzystając z dwóch układów 7400 oraz przetestować jego działanie.



RYS. 4. SCHEMAT PÓLSUMATORA ELEMENTARNEGO ZBUDOWANEGO Z BRAMEK NAND

## 5. PRZERZUTNIK SCHMITTA

Należy zbadać zależność napięcia wyjściowego od napięcia wejściowego w bramce logicznej NOT z układem Schmitta.

Element ten badamy w podobny sposób jak bramkę NAND z pierwszego punktu ćwiczenia, czyli wykorzystujemy potencjometr zainstalowany w ręcznym generatorze stanów logicznych oraz dwa woltomierze – jeden z nich mierzy napięcie wejściowe, drugi napięcie wyjściowe.

W tym ćwiczeniu ważne jest, żeby zbadać te zależności w obu kierunkach, czyli zarówno w przypadku gdy napięcie wejściowe jest zwiększane od 0 V do 5 V jak i dla przypadku gdy napięcie wejściowe zmniejszamy od 5 V do 0 V.

W szczególności interesują nas dwie wartości napięcia wejściowego, dla których stan logiczny wyjścia ulega zmianie dla przypadku gdy napięcie narasta i dla przypadku kiedy maleje – będą to dwie różne wartości.

Marek Kopciuszyński  
Lublin, 24 lutego 2026